



# KONGERIKET NORGE

NQ 99/00180

5

REC'D	24 SEP 1999
WIPO	PCT

## Bekreftelse på patentsøknad nr

*Certification of patent application no*

1998 2518

### PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

» Det bekreftes herved at vedheftede dokument er nøyaktig utskrift/kopi av ovennevnte søknad, som opprinnelig inngitt 1998.06.02

» *It is hereby certified that the annexed document is a true copy of the above-mentioned application, as originally filed on 1998.06.02*

1999.06.18

*Freddy Strømmen*

Freddy Strømmen  
Seksjonsleder

*Mette E. Hansen*

Mette E. Hansen



**PATENTSTYRET**  
Styret for det industrielle rettsvern

Opti29prNO

16  
PATENTSTYRET

02 JUN 98 982518

**Søker:**

Opticom ASA  
Brynsveien 3B  
N-0667 OSLO NORGE

**Oppfinner:**

Hans Gude Gudesen  
Tyrihansveien 5  
N-1639 GAMLE FREDRIKSTAD NORGE

Geirr I. Leistad  
Jongsstubben 19  
N-1300 SANDVIKA NORGE

Per-Erik Nordal  
Båstadryggen 19  
N-1370 ASKER NORGE

**Fullmektig:**

Geirr I. Leistad i Opticom ASA  
Brynsveien 3B  
N-0667 OSLO

**Oppfinnelsens  
tittel:**

Skalerbar, integrert databehandlingsinnretning

- Oppfinnelsen angår en skalerbar, integrert databehandlingsinnretning, spesielt  
en mikrodatamaskin, omfattende en prosesseringsenhet, hvor  
prosesseringsenheten omfatter en eller flere prosessorer, og en lagringenhet,  
hvor lagringenheten omfatter ett eller flere minner, og hvor  
databehandlingsinnretningen er anordnet på et bærende substrat.
- Et tilsynelatende paradoks ved dagens halvlederbaserete  
databehandlingsinnretninger er at selv om mikroprosessorenes ytelse i  
gjennomsnitt har øket med 60% pr. år i den senere tid, og dermed med en  
faktor på ca. 100 fra slutten av 80-tallet og frem til 1998, har aksessiden til  
randomaksesserbare skrive/leselagre, såkalte RAM, minket med ca. 7% pr. år  
og dermed bare blitt halvert i samme tidsrom. Gapet mellom prosessorytelse og  
aksessbåndbredde for RAM har derfor øket med en faktor på ca. 50 i løpet av  
de siste 10 år. Utviklingen med hensyn til prosessorytelse og aksessid gjør det  
derfor nødvendig å forbedre både minnets båndbredde og redusere latensiteten,  
dvs. den ventetid som oppstår når instruksjoner og data skal hentes.  
Hovedvekten ved utviklingen av dynamiske RAM (DRAM) har imidlertid vært  
lagt på å redusere størrelsen av minnecellene for å realisere DRAM med høy  
lagringstetthet.
- Generelt er imidlertid årsaken til det ovennevnte misforhold ganske åpenbar.  
Prosessoren må kommunisere med en eller flere minnetyper under de  
forskjellige faser av en beregningsoppgave, og i visse tilfeller vil  
kommunikasjonen være svært intensiv, f.eks. når prosesseringen forutsetter  
bruk av oppslagstabeller. For å oppnå høye prosesseringshastigheter er de  
raskeste og hyppigst benyttede minner fysisk anordnet integrert med  
sentralprosessoren. Uheldigvis forbruker slike minner typisk et forholdsvis  
stort brikkeareal dersom deres lagringskapasitet skal være tilstrekkelig, og det  
er nødvendig med et uheldig kompromiss for å fordele den tilgjengelige fysiske  
plass mellom prosessoren og hurtigminner. Dette innebærer igjen at ytterligere  
minnekapasitet bare kan fås via busslinjer til mer fjernliggende minneenheter.  
Avhengig av en optimering i hvert enkelt tilfelle vil resultatet generelt være at  
det fås en total komponentarkitektur hvor mye av plassen på brikken og  
prosesseringsytelsen til sentralprosessoren går med å håndtere dataflyten  
mellan sentralprosessoren og mer fjernliggende minneinnretninger som er  
 forbundet med sentralprosessoren via busslinjer på halvledersubstratet.
- Rent konkret betyr dette at mikroprosessoren bruker 75% av sin tid i  
minneinnretningen når den skal utføre databaseprosessering og

matriseberegninger. Utviklingen har vært slik at 60% av arealet og 90% av transistorene til de mest moderne mikroprosessorer er innrettet til å ta hånd om gapet mellom prosessorytelse og aksessbåndbredde ved at de benyttes i spesiell maskinvare på brikken, f.eks. i spesielle hurtigminner eller "cache"-minner for å ta hånd om den økende latensiteten. Også når det gjelder dynamiske RAM (DRAM), har utviklingen medført uventede vansker. I 1986 ble det benyttet en typisk minimum minnekapasitet for PCer på trettito 1 Mbit DRAM, mens det i 1997 ble benyttet to 64 Mbit DRAM fordi vekstraten i minimum minnestørrelse bare er halvparten av vekstraten til kapasiteten til DRAM. Da de fleste av dagens mikroprosessorer er orientert mot bruken av cache-minner, er det nødvendig med lavere latensitet, men utviklingen er i stedet gått i retning av høyere båndbredder og høyere latensitet. Det er klart at økning av kapasiteten til DRAM ikke vil være noen løsning, idet DRAM med en kapasitet på 256 Mbit eller 1 Gbit i realiteten vil gi høyere kostnader pr. bit og medføre et økt båndbreddebehov for feilkontroll. Skal det sistnevnte oppfylles, vil imidlertid latensiteten bli tilsvarende høyere.

For å løse de problemer som misforholdet mellom prosessorytelse og RAM-aksesstid medfører, har det nylig vært foreslått (Patterson & al., "Intelligent RAM (IRAM): Chips that Remember and Compute", 1997 IEEE International Solid-State Circuits Conference, pp.224-225) å danne prosesseringslogikk og minne på én og samme brikke, hvor mesteparten av transistorene vil benyttes i minneinnretningen. En slik integrert databehandlingsinnretning har vært kalt intelligent RAM eller IRAM. Bruk av en DRAM med 1 Gbit kapasitet gir nok transistorer til å kunne implementere en kraftig prosessor og et minne som er stort nok til å romme hele programmer og datasett. I en slik IRAM er minnet delt opp i blokker med minneporter med en bredde på f.eks. 1 Kbit. Typiske brikkestørrelser vil være ca.  $600\text{ mm}^2$ , slik at en IRAM vil trenge flere metallsjikt for å øke overføringshastigheten på linjene og eventuelt også kreve raskere transistorer for høyhastighetsgrensesnittet til synkrone DRAM. De mulige fordeler antydet ved IRAM innbefatter lavere minnelatensitet, f.eks. redusert med en faktor på  $10^{-1}$ , høyere minnebåndbredde, eksempelvis en økning med en faktor på 100, samt lavere effektforbruk. Minnets dimensjoner (breddestørrelse) kan justeres og en IRAM vil ikke legge beslag på en like stor plass på kortet som konvensjonelle databehandlingsinnretninger med tilsvarende kapasitet med hensyn til lagring og prosessering ville gjøre det.

Alternativt har det vært foreslått (Yoo & al., "A 32-bank 1 Gb DRAM with GB/s Bandwidth, ISSCC Digest of Technical Papers, pp. 378-379, feb. 1996) å

benytte IRAM med vektorprosessorer. Slike vektorprosessorer arbeider med lineære tallmatriser. Vektorprosessorer behøver ikke cache-minner, men krever minne med lav latensitet, ofte realisert som statiske RAM (SRAM) og med stor båndbredde, idet det kan benyttes hundrevis av separate minnegrupper. Det  
5 foreslår IRAM-system med en minnekapasitet på 1 Gbit vil følgelig være tilpasset behovene til en vektorprosessor. Denne kjente teknikk er vist på fig. 1 som skjematisk antyder hvordan en IRAM-vektormikroprosessor kan være  
10 realisert. Basert på en  $0,18 \mu$  DRAM-prosess med en brikkeareal på  $6 \text{ cm}^2$  kunne en IRAM ha 16 addisjons- og multiplikasjonsenheter med en frekvens på 500 MHz og 16 1024 bit brede minneporter som en frekvens på 50 MHz kollektivt vil gi 100 Gbyte/s minnebåndbredde. En slik IRAM ville kunne kjøre  
15 et typisk testprogram (Linpack) med en hastighet på 8 GFLOPS, noe som er mer enn fem ganger Crays hurtigste vektorbaserte superdataproessor (Cray T-90). Hvorvidt IRAM vil kunne slå igjennom, vil være avhengig av  
minnekapasiteten på en brikke, idet denne ventes å øke fra 10 til 32 Mb for  
grafikkprodukter som spill og til 128-256 Mb for nettverkdatamaskiner og  
bærbare PCer.

Videre er fra teknikken også kjent bruk av parallelprosessering for å øke prosesseringhastigheten. Dette har vært oppnådd ved å basere prosessorene på arkitekturen som tillater prosessering av data og datasett parallelt. Typiske  
20 eksempler er parallelprosessorer på instruksjonsnivå som pipelineprosessorer eller superskalare prosessorer som har en arkitektur som kan håndtere meget lange instruksjonsord (VLIW). Det har også vært utviklet prosessorer som arbeider på instruksjonsnivå, men med data i parallel, og disse kan være  
25 realisert med enten pipelinearkitekturen, systoliske arkitekturen eller som ovenfor nevnt med vektorarkitekturen. Et vanskeligere realiserbart ønskemål har vært å utvikle databehandlingsinnretninger som kan arbeide med arkitekturen som tillater parallel databehandling på prosessnivå, dvs. såkalte  
MIMD-arkitekturen (Multiple Instructions, Multiple Data). Det har vært  
30 foreslått MIMD-arkitekturen med enten desentraliserte minner eller felles minner, men i praksis er de fleste slike arkitekturen i utgangspunktet basert på forskjellige former for multiprosessering i parallel, dvs. med bruk av prosessornettverk. Dette er i dag vanskelig å realisere med en optimal interkonnektivitet og er i hvertfall umulig å implementere i en  
35 brikkekonfigurasjon med dagens halvlederteknologi, spesielt så lenge brikkestørrelsen er begrenset til noen få  $\text{cm}^2$ .

Det økende misforhold mellom den teoretiske prosesseringshastighet til moderne sentralprosessorer og den totale hastighet for innretningen er et påtrenende problem som har vist seg svært vanskelig å avbøte og nesten umulig å løse ved en videreutvikling av databehandlingsinnretninger basert på f.eks. silisiumbasert halvlederteknologi alene. Hverken en økning i brikkestørrelse eller konstruksjonsløsninger som benytter vertikale strukturer og dermed oppnår flere komponenter på et og samme substratmateriale, har vist seg egnet. Dette henger nøye sammen med at minneinnretningene omfatter minneceller som eksplisitt er avhengige av brytere implementert i substratets halvledermateriale. Med andre ord må hvert bitsted i et minne ha eksklusiv aksess til en del av substratet, og følgelig kreves det konstruksjonsløsninger hvor minneinnretninger og prosessorer må anbringes ved siden av hverandre. Forsøk på å danne vertikale strukturer, eksempelvis ved å stable flere lag oppå hverandre, har også slått feil fordi det fortsatt er nødvendig med elektrisk aksess og komponenter, eksempelvis svitsjer i det samme underliggende halvledersubstrat. Det oppnås dermed ingen nettokapasitetsøkning ved bruk av multilagsløsninger og med substratarealet allerede er utnyttet med maksimal tetthet. Ved bruk av vertikalt stablede kretslag fås det i tillegg et problem med varmedissipasjonen i de enkelte lag, da dagens halvlederbaserete minner er flyktige og derfor trenger en vedlikeholdsstrøm.

Generelt innebærer også stablingen av flere lag med komponenter som benytter aktive svitsjer basert på dagens halvlederteknologier, bruken av tverrgående strømveier gjennom underliggende lag. Dette begrenser i sterk grad antallet lag som kan stables, spesielt hvor de forskjellige lag og deler av disse behøver dediserte strømveier. I tillegg til det volum som opptas av et tett nettverk av tverrgående strømveier, øker kompleksiteten ved fremstillingen og dermed produksjonskostnadene raskt med antallet lag i stabelen.

Mulighetene av å øke prosesserings- og minnekapasiteten i en integrert databehandlingsinnretning og oppnå tilstrekkelig minnebåndbredde, samtidig som latensiteten reduseres tilsvarende den økte prosessorhastighet, synes å være små med dagens halvlederteknologier. En økning i minnekapasitet er et mål for samtlige minnetyper benyttet i dagens databehandlingsinnretninger, men har vist seg særlig vanskelig å realisere for minner med hurtig randomaksess uten å gå på akkord med prosesseringsytelse og innretningens størrelse og kostnad. De nødvendige elektriske koblinger er et problem for seg og synes ikke å kunne la seg realisere hverken med bruk av vertikale og

stablede konfigurasjoner og slett ikke med økning i brikkearealet ved vanlige ettagsteknologier.

- 5 Hovedhensikten med den foreliggende oppfinnelse er derfor å skaffe en integrert databehandlinginnretning hvor prosessorenheten og minneenheten lar seg realisere med nær sagt ubegrenset kapasitet i varierende konfigurasjoner og arkitekturen, samtidig som båndbreddekrav og latensitet optimeres, og uten at den elektriske kobling mellom de enkelte komponenter setter en begrensning på kapasitet og overføringstider.
- 10 En annen hensikt er å unngå bruken av konvensjonelle dynamiske DRAM, men i stedet realisere minneenheten i en teknologi som tillater både rask aksess og stor kapasitet, med muligheter for en funksjonell konfigurering av minneenheten i underenheter som hver for seg eksempelvis oppfyller RAM-funksjoner, ROM-funksjoner eller masselagerfunksjoner.
- 15 En tredje hensikt er spesifikt å redusere enhver form for latensitet, slik at prosessorytelse og minneaksess kan tilpasses optimalt og foretrukket slik at cache-minner i prosessorenheten unngås.
- 20 En fjerde hensikt er optimalt å kunne implementere skalerbare arkitekturen for parallelprosessering integrert på ett og samme substrat, hva det enten dreier seg om bruk av parallel prosessorarkitektur eller en multiprosessorarkitektur med dynamisk kobling mellom parallelt arbeidende prosessorer.
- 25 En femte hensikt med oppfinnelsen er å realisere den integrerte databehandlingsinnretning i en volumetrisk konfigurasjon og med strømveier som strekker seg både horisontalt og vertikalt i den volumetriske konfigurasjonen for å skaffe en optimal interkonnektivitet mellom databehandlingsinnretningens enkelte komponenter og samtidig redusere dataoverføringshastigheten mellom komponentene.
- 30 De ovennevnte og andre hensikter oppnås i henhold til oppfinnelsen med en databehandlingsinnretning som er kjennetegnet ved at databehandlingsinnretningen omfatter innbyrdes tilstøtende, hovedsakelig parallele, stablede sjikt, at prosesseringsenheten og lagringenheten er anordnet i ett eller flere sjikt, idet de enkelte sjikt er dannet med valgte antall prosessorer og minner i valgte kombinasjoner, at hvert sjikt omfatter i eller på sjiktet horisontale, elektrisk ledende strukturer som utgjør elektrisk interne forbindelser i sjiktet, og at hvert sjikt omfatter ytterligere elektriske strukturer

som skaffer elektrisk forbindelse til andre sjikt og til databehandlingsinnretningens ytterside.

I en fordelaktig utførelse i henhold til oppfinnelsen er et eller flere sjikt realisert i form av en rekke tynne undersjikt i en teknologi som på et første nivå av et funksjonshierarki konfigurerer funksjonelt ett eller flere sjikt som et kombinert prosessor- og minnesjikt, eller ett eller flere sjikt hovedsakelig som prosessorsjikt og ett eller flere sjikt hovedsakelig som minnesjikt.

I den forbindelse er det også fordelaktig at prosesseringsenheten i et sjikt er konfigurert funksjonelt på et annet nivå av funksjonshierarkiet som en eller flere prosessorer eller deler av en eller flere prosessorer, idet minst én prosessor utgjør en sentralprosessor eller mikroprosessor i databehandlingsinnretningen, og eventuelle ytterligere prosessorer etter valg er konfigurert som henholdsvis kontroll- og/eller kommunikasjonsprosessorer.

I en fordelaktig utførelse i henhold til oppfinnelsen er lagringenheten i et sjikt er konfigurert funksjonelt på det annet nivå i funksjonshierarkiet som ett eller flere minner eller deler av ett eller flere minner, idet minst et minne utgjør ett RAM og er forbundet med minst en sentralprosessor eller mikroprosessor, og eventuelle ytterligere minner etter valg er konfigurert som henholdsvis hurtigminner, ROM, WORM og ERASABLE.

I den forbindelse er det også fordelaktig at minst en del av lagringenheten utgjør et masselager, idet masselageret etter valg kan være konfigurert som RAM, ROM, WORM eller ERASABLE eller kombinasjoner av disse.

I en ytterligere fordelaktig utførelse i henhold til oppfinnelsen er de ytterligere elektriske strukturer i et sjikt er anordnet på minst en sidekant av sjiktet som en elektrisk kantforbindelse.

I nok en ytterligere fordelaktig utførelse i henhold til oppfinnelsen er de ytterligere elektrisk ledende strukturer i et sjikt er anordnet som vertikalt ledende strukturer som danner en elektrisk forbindelse i sjiktets tverretning og perpendikulært på dets plan for å kontaktere elektrisk ledende strukturer i andre sjikt.

Endelig er det i henhold til oppfinnelsen fordelaktig at et eller flere sjikt er dannet av organisk tynnfilmmateriale, idet det eller de organiske tynnfilmmaterialer er valgt blant monomere, oligomere og polymere organisk materialer og metallorganiske komplekser eller kombinasjoner av slike

materialer, eller at et eller flere sjikt er dannet av et uorganisk tynnfilmmateriale, idet det uorganiske tynnfilmmaterialet er valgt blant krystallinske, polykrystallinske og amorf tynnfilmmaterialer eller kombinasjoner av slike materialer.

- 5 Særlig kan i henhold til oppfinnelsen samtlige sjikt være dannet av organisk tynnfilmmateriale

Fordelaktig kan imidlertid i henhold til oppfinnelsen et eller flere sjikt også være dannet av både organisk og uorganiske tynnfilmmaterialer eller kombinasjoner av slike materialer.

- 10 Oppfinnelsen skal nå forklares nærmere i tilknytning til utførelseseksempler og med henvisning til den ledsagende tegning, hvor samme henvisningstall normalt betegner like deler, men hvor like deler ikke overalt er forsynt med henvisningstall, og hvor fig. 1 som allerede er omtalt, skjematisk viser en IRAM med vektormikroprosessor i henhold til kjent teknikk,

- 15 fig. 2 skjematisk og prinsipielt databehandlingsinnretningen i henhold til foreliggende oppfinnelse integrert i form av stablede sjikt,

fig. 3 skjematisk en første utførelse av databehandlingsinnretningen i henhold til oppfinnelsen,

- 20 fig. 4 skjematisk en annen utførelse av databehandlingsinnretningen i henhold til oppfinnelsen,

fig. 5 skjematisk en tredje utførelse av databehandlingsinnretningen i henhold til oppfinnelsen,

fig. 6 skjematisk en fjerde utførelse av databehandlingsinnretningen i henhold til oppfinnelsen,

- 25 fig. 7a, b, skjematisk i henholdsvis grunnriss og snitt et minne som kan benyttes i lagringseenheten i databehandlingsinnretningen i henhold til oppfinnelsen,

fig. 7c, d, snitt gjennom en første utførelse av et minneelement i minnet på fig. 7a,

- 30 fig. 7e et snitt gjennom en annen utførelse av et minneelement i minnet på fig. 7a,

- fig. 7g et snitt gjennom en lagringenhet bestående av flere stablde minnesjikt,
- fig. 7h en detalj av lagringenheten på fig. 7g,
- 5 fig. 8a, 8b, 8c, henholdsvis i perspektiv, snitt og grunnriss, en tredje utførelse av et minneelement som kan benyttes i minnet på fig. 7a,
- fig. 9 den prinsipielle utførelse av minneelementet vist på fig. 8,
- fig. 10 skjematisk elektrodematrisen benyttet i minnet på fig. 7a og med bruk av minneelementer i utførelsen som vist på fig. 8,
- 10 fig. 11 en felteffekttransistor (FET) som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 12 en annen felteffekttransistor som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 13 en tredje felteffekttransistor som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- 15 fig. 14 en fjerde felteffekttransistor som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 15 et skjematisk snitt gjennom en diodestruktur generert ved omvandling av sjiktmaterialet og som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- 20 fig. 16 et skjematisk snitt gjennom en MOSFET-struktur generert ved omvandling av sjiktmaterialet og som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- fig. 17 et skjematisk snitt gjennom en logisk inverterstruktur som benytter MOSFET-strukturen på fig. 16 og som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- 25 fig. 18 ekvivalentdiagrammet for en OG-port realisert i CMOS-teknikk,
- fig. 19a-d i grunnriss undersjiktene i en OG-portstruktur realisert i tynnmilmteknikk og i henhold til ekvivalentskjemaet på fig. 18 med bruk av MOSFET-strukturer som den vist på fig. 16,

- fig. 20 den stablede OG-portstruktur på fig. 19, men utspilt i den enkelte undersjikt,
- 5 fig. 21 skjematisk en annen variant av OG-portstrukturen på fig. 20, hvor de enkelte MOSFET-strukturer er anordnet over hverandre i vertikal konfigurasjon og innbyrdes parvis med felles grindelektrode.
- Fig. 22 skjematisk en prosessorarkitektur som kombinerer dataparallelisme og funksjonsparallelisme og som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen,
- 10 fig. 23 skjematisk prinsippet for en MIMD-arkitektur med desentralisert minnesystem,
- fig. 24 skjematisk en mer praktisk utførelse av MIMD-arkitekturen på fig. 23,
- 15 fig. 25 skjematisk prinsippet for en MIMD-arkitektur med felles minnesystem, og
- fig. 26 hvordan MIMD-arkitekturen på fig. 25 kan være realisert i databehandlingsinnretningen i henhold til oppfinnelsen.
- Den foreliggende oppfinnelse tar utgangspunkt i at databehandlingsinnretningen i henhold til oppfinnelsen kan utføres i form av innbyrdes tilstøtende, hovedsakelig parallele stablede sjikt, fortrinnsvis sammensatt av flere undersjikt som spesifikt realiserer bestemte elektriske egenskaper i hovedsjiktet, og at hverken prosesseringsenheten eller lagringenheten, bortsett fra i ett eller noen få lag, gjør omfattende bruk av aktive komponenter. Dette lar seg realisere med bruk av nye materialer og arkitekturen, hvilket skal omtales nærmere i det følgende. I sin mest skjematiske form er dette vist på fig. 2, hvor det på et substrat S er anordnet et flersjiksstruktur bestående av henholdsvis et prosessorsjikt P og en rekke minnesjikt  $M_1, M_2, \dots$ . Substratet S kan eksempelvis være utført i silisium, og det derover anordnede sjikt P utgjøre prosessorsjiktet hvorfor inngår minst en sentralprosessor (ikke vist) og eventuelt en eller flere kontroll- og kommunikasjonsprosessorer. Prosessorsjiktet vil derfor omfatte aktive komponenter og kan godt være realisert i uorganisk halvlederteknologi, f.eks. på et silisiumsubstrat. Over prosessorsjiktet er de forskjellige minnesjikt  $M_1, M_2, \dots$  som utgjør lagringenheten i databehandlingsinnretningen, anordnet i stablet konfigurasjon, idet de enkelte minner er anordnet i hvert enkelt minnesjikt og konfigurert som eksempelvis RAM, ROM og ERASABLE. Det

skal forstås at hvert sjikt P, M i databehandlingsinnretningen på fig. 2 omfatter elektrisk ledende strukturer, enten horisontale eller vertikale som skaffer forbindelse mellom komponentene i hvert sjikt og mellom sjiktene innbyrdes. Dette skal omtales nærmere i det følgende.

- 5 Fig. 3 viser mer eksplisitt en første utførelsесform av databehandlingsinnretningen i henhold til oppfinnelsen, og hovedsakelig realisert på det første nivå av funksjonshierarkiet. Her er igjen prosessorsjiktet P anordnet på substratet S og vil som før omfatte aktive komponenter som transistorer for å realisere en eller flere sentralprosessorer og eventuelle  
 10 kontroll- og kommunikasjonsprosessorer. Over prosessorsjiktet P er det anordnet et minnegrensesnitt 1 som strekker seg ut over prosessorsjiktet P og over substratet S. Over minnegrensesnittet er det anordnet minnesjikt  $M_1, M_2\dots$   
 15 Både prosessorsjiktet P og minnesjiktene M samt minnegrensesnittet 1 inneholder ikke viste, horisontale elektrisk ledende strukturer for å skaffe forbindelse mellom de enkelte komponenter, men i tillegg er i minnesjiktene M disse ledende strukturer ført til elektriske kantforbindelser ved siden av  
 20 minnesjiktet og til minnebusser 2 som er anordnet i en særskilt minnebussmodul 2' som vist på figuren. For hvert minnesjikt  $M_1, M_2\dots$  er det tilsvarende minnebusser  $2_1, 2_2\dots$  og disse kan igjen være dannet som både horisontale og vertikale elektrisk ledende strukturer i minnebussmodulen  
 25 2'.

- Fig. 4 viser en annen utførelsесform av databehandlingsinnretningen i henhold til oppfinnelsen. Som før er prosessorsjiktet P anordnet på substratet S, mens minnegrensesnittet 1 er anordnet over prosessorsjiktet P og dekker dette uten å kontaktere substratet S. De enkelte minnesjikt  $M_1, M_2\dots$  er anordnet over minnegrensesnittet  $M_1$ , men i denne utførelsесformen er det gitt avkall på en særskilt minnebussmodul. I stedet er minnebusserne 2 i sin helhet dannet som vertikale elektrisk ledende strukturer som strekker seg gjennom minnesjiktene  $M_1, M_2\dots$  og skaffer forbindelse til minnegrensesnittet 1. Minnebusserne 2 skaffer forbindelse til ikke viste adresseringslinjer for minner i  
 30 lagringseenheten, idet adresseringslinjene kan være anordnet i form av horisontale elektrisk ledende strukturer i hvert minnesjikt M. Fortrinnsvis er det minnesjikt  $M_1$  som befinner seg nærmest prosessorsjiktet P realisert med skrive/leseminner (RAM) slik at signalveien M mellom RAM og prosessorsjiktet P blir kortest mulig. Minnesjiktet  $M_1$  kan være realisert med en rekke RAM og I/O portene til hvert RAM ført på særskilt for hver RAM  
 35 anordnede minnebusser  $2_1$  slik det er vist på figuren. De øvrige minnesjikt

$M_2, \dots$ , som kan foreligge i et meget stort antall, kan realisere databehandlingsinnretningens masselager. Det skal imidlertid forstås at det prinsipielt ikke behøver å være noen forskjell på den fysiske realisering av henholdsvis RAM og masselagerminnet, idet minnet i de enkelte minnesjikt kan være realisert i nøyaktig den samme teknologi. I likhet med RAM kan derfor masselageret være realisert med minner som i sin helhet er utført som skrive/leseminner eller ERASABLE, men også omfatte minner av typen WORM (Write Once, Read Many Times).

Foretrukket er de enkelte sjikt i henhold til oppfinnelsen som nevnt realisert i form av en rekke tynne undersjikt i en teknologi og med materialer som gjør det mulig å realisere sjiktene som kombinerte prosessor- og minnesjikt og ett eller flere sjikt hovedsakelig som minnesjikt. Dette skal omtales nærmere i det følgende. Det kan i den forbindelse være hensiktsmessig at teknologien som benyttes til å realisere sjiktene for dette formål danner et funksjonshierarki, hvor det første nivå i funksjonshierarkiet konfigurerer sjiktene funksjonelt som enten kombinerte prosessor- eller minnesjikt eller som separate prosessor- eller minnesjikt. Det annet nivå i funksjonshierarkiet vil derved konfigurere prosesseringsenheten funksjonelt som en eller flere prosessorer eller deler av prosessorer, og disse kan etter behov utgjøre en eller flere sentralprosessorer eller mikroprosessorer i databehandlingsinnretningen og om nødvendig dediserte prosessorer eller eventuelt være konfigurerert som henholdsvis kontroll- og/eller kommunikasjonsprosessorer. På et tredje nivå av funksjonshierarkiet implementerer den benyttede teknologi arkitekturen til den enkelte prosessor, eksempelvis sentralprosessen som en parallelprosessor med flere parallelt arbeidende eksekveringsenheter. Tilsvarende vil den benyttede teknologi på det annet nivå i funksjonshierarkiet konfigurerer lagringenheten funksjonelt som et eller flere minner eller deler av minner. På det tredje nivå av funksjonshierarkiet kan ett eller flere minner kan realiseres som RAM og da være forbundet med en eller flere sentralprosessorer, og eventuelle ytterligere minner kan etter valg konfigureres som hurtigminner, ROM, WORM og ERASABLE. Disse minnene kan da inngå i lagringenhetens masselager, og er de konfigurerert som ERASABLE, vil de i realiteten kunne arbeide som RAM, men ha langt større lagringskapasitet enn hva tilfellet er for konvensjonelle RAM. Imidlertid er det ingenting i veien for at den benyttede teknologi kan benyttes til å realisere RAM med en lagringskapasitet som langt overstiger dagens dynamiske RAM basert på uorganiske halvledere, og i det

minste realisere RAM med en lagringskapasitet som nærmer seg masselagerkapasiteten i vanlige PCer.

De ovennevnte trekk og fordeler lar seg realisere ved at databehandlingsinnretningen i henhold til oppfinnelsen hovedsakelig er basert på komponenter utført i tynnfilmteknikk. Spesielt vil i den forbindelse undersjiktene fremstå som tynnmilmer og være kombinert, f.eks. ved laminering, til hovedsjikt, dvs. prosessorsjikt og/eller minnesjikt. I de aktive komponenter så som transistorene i prosessorene kan det benyttes halvledende tynnfilmmaterialer som kan være uorganiske, organiske, amorf eller polykristallinske.

I minnematerialene og logiske komponenter kan det benyttes et ikke-flyktig tynnfilmmateriale, slik at disse komponenter beholder en gitt logisk tilstand ved brudd i strømtilførselen.

Spesielt kan tynnfilmmaterialene som er benyttet til å danne minner i et minnesjikt være slik at de spontant danner diodejunksjoner, og de kan dertil også være basert på anisotrop ledende tynnfilmmaterialer. Dette vil muliggjøre adresseringsopplegg hvor minnene er konfigurert som elektrisk adresserbare, passive matriser som muliggjør en høy lagringstetthet og stor lagringskapasitet uten at det behøves aktive komponenter overhodet. Spesielt kan hele minnesjiktet i hvert enkelt tilfelle være realisert i form av minnemoduler utført i tynnfilmteknikk. Teknisk er det vel kjent hvordan dette kan la seg realisere eksempelvis ved suksessiv avsetning av de enkelte sjikt på et felles substrat eller ved sammenføyning av separate, ultratynne, selvbærende sjikt. Dette skal også omtales mer detaljert i det følgende.

Det skal nå med henvisning til fig. 5 beskrives en tredje utførelsesform av databehandlingsinnretningen i henhold til oppfinnelse, idet fig. 5 gjengir en mer komplett vist utførelse. I denne utførelsen er det benyttet flere prosessorsjikt P. Det første av disse, prosessorsjiktet P<sub>1</sub>, er anordnet tilstøtende et prosessorgrensesnitt 3 som befinner seg nærmest substratet S. Interfoliert mellom et første og et annet prosessorsjikt P<sub>1</sub>, P<sub>2</sub> som, slik det er antydet på tegningen, kan omfatte flere prosessorer 5, er det anordnet et første minnesjikt M<sub>1</sub> med ett eller flere RAM 6 tilordnet prosessorene 5 i prosessorsjiktet P<sub>1</sub>. Over minnesjiktet M<sub>1</sub> følger det annet prosessorsjikt P<sub>2</sub> med flere prosessorer 5 og til dette er det tilordnet et minnesjikt M<sub>2</sub> med ett eller flere RAM 6 tilordnet prosessorene i prosessorsjiktet P<sub>2</sub>. Over minnesjiktet M<sub>2</sub> følger nå et tredje

- prosessorsjikt  $P_3$  som igjen kan omfatte flere prosessorer 5 og dernest følger minnesjiktet  $M_3$  med en eller flere RAM 6 tilordnet prosessorene i prosessorsjiktet  $P_3$ . Det skal her forstås at antallet prosessorsjikt P med tilhørende RAM-sjikt  $M_1, M_2, M_3$ , godt kan være større enn 3, og at utførelsen som vist på fig. 5, naturligvis er rent skjematiske og eksemplifiserende.
- Over minnesjiktet  $M_3$  er det anordnet et minnegrensesnitt 1 og over dette følger ytterligere minnesjikt  $M_4, M_5 \dots$  i et meget stort antall, og disse kan godt realisere et masselager i databehandlingsinnretningen. Disse ytterligere minnesjikt  $M_4, M_5$  er via minnebusser 2 realisert i form av vertikale elektriske ledende strukturer ført til minnegrensesnittet 1. Tilsvarende er de enkelte RAM i minnesjiktene  $M_1, M_2, M_3$  også ført til minnegrensesnittet  $M_1$  via vertikale og tvers gjennom de enkelte sjikt gående minnebusser 2. I tillegg er det mellom prosessorene 5 i prosessorsjiktene  $P_1, P_2, P_3$  og tilordnede RAM i minnesjiktene  $M_1, M_2, M_3$  anordnet minnebusser 7, som fører til I/O-portene på den enkelte RAM. For hver prosessor 5 er det tegnet to slike minnebusser 7 for symbolsk å antyde separate instruksjons- og databusser. Dette er naturligvis ingen forutsetning. Prosessorgrensesnittet 3 har forbindelse til eventuelle eksterne enheter over en I/O-buss 8, og tilsvarende er det for minnegrensesnittet 1 anordnet en I/O-buss 9.
- Ved utførelsen som vist på fig. 5, skaffes det spesielt en databehandlingsinnretning i henhold til oppfinnelsen som er konfigurert med en rekke prosessorer 5 og minst det tilsvarende antall RAM tilordnet prosessorene. Ved å konfigurere prosesseringsenheten med flere prosessorer og til hver prosessor anordne ett eller flere RAM, hvor den vertikale konfigurasjon av databussene samtidig tillater en meget stor overføringskapasitet, vil det langt på vei være mulig å løse latensitetsproblemene selv ved meget store båndbredder på I/O-portene til RAM.
- Når RAMene dertil er implementert med teknologier som skal beskrives nærmere i det følgende, spesielt teknologier som tillater adressering i parallel og full utnyttelse av en stor overføringsbåndbredde selv med meget høy syklustid, kan problemet med det ovenfor omtalte misforhold mellom høy prosessorytelse og lang aksesstid elimineres. I realiteten kan det ved en hensiktsmessig arkitektur realiseres en databehandlingsinnretning med flere

prosessorer som arbeider i parallel, slik at det med en hensiktsmessig utførelse av den enkelte prosessor, eksempelvis ved å benytte parallelprosessering også i selve prosessoren, realiseres en integrert databehandlingsinnretning med en kapasitet som nærmer seg eller overstiger kjente superdatamaskiner

5 implementert i konvensjonell teknologi. For dette formål er det som vist på fig. 5 anordnet en prosessorbuss 4. Slik det vil bli omtalt senere, skaffer bruken av flere prosessorer 5 som eventuelt kan arbeide i parallel og som er innbyrdes forbundet over prosessorbussen 4 og dertil er anordnet i tett tilknytning til ett eller flere RAM, ikke bare en utførelse som langt på vei eliminerer

10 latensitetsproblemene, men som også gjennom den volumetriske utførelse av databehandlingsinnretningen tillater optimal interkonnektivitet mellom prosessorer og tilhørende RAM. Dersom nettverket av prosessorer 5 og RAM 6 er utført som vist på fig. 5, kan det konfigureres dynamisk for å skaffe en for en bestemt oppgave optimalt tilpasset kapasitet. Konfigureringen kan

15 eksempelvis skje med særskilt ikke vist kontrollprosessor som fordelaktig kan være anordnet i prosessorgrensesnittet 3 hvortil prosessorbussen 4 er forbundet.

Som ovenfor nevnt, behøver ikke prosessorene å være anordnet i egne sjikt eller prosessorsjikt P, og tilsvarende behøver heller ikke alle minner i

20 lagringseenheten å være anordnet i egne sjikt eller minnesjikt M. Hensiktsmessig kan prosessorer og minner, eksempelvis til prosessorene tilordnede RAM, være anordnet i et og samme sjikt, slik dette er vist på fig. 6 som viser en fjerde utførelsесform av databehandlingsinnretningen i henhold til oppfinnelsen. Her er igjen et prosessorgrensesnitt 3 med et I/O grensesnitt 8 anbrakt på et substrat S og over dette prosessorgrensesnittet 3 følger et

25 prosessorsjikt P<sub>1</sub> med en eller flere prosessorer. Både prosessorgrensesnittet 3 og prosessorsjiktet P<sub>1</sub> kan som de nederste lag i databehandlingsinnretningen på fig. 6 og tilstøtende substratet være realisert i konvensjonelle, eksempelvis silisiumbaserte halvlederteknologier. Over prosessorsjiktet P<sub>1</sub> er det anordnet et første minnesjikt M<sub>1</sub> som kan være konfigurert med ett eller flere RAM 6 tilordnet prosessorene 5 i det underliggende prosessorsjikt P<sub>1</sub>. På fig. 6 er imidlertid ikke enkeltstående RAM 6 i minnesjiktet M<sub>1</sub> fremhevet særskilt. Derimot er det vist hvordan minnene i minnesjiktet M<sub>1</sub> kan være direkte forbundet til det underliggende prosessorsjikt P<sub>1</sub> via busser 7, idet den stablede konfigurasjon tillater at slike busser 7 kan anordnes i stort antall ved at de er utført som vertikalt ledende strukturer og konfigurasjonen sjikt på sjikt tillater at et meget stort antall slike bussforbindelser kan skaffes mellom

30

35

- prosessorsjiktet  $P_1$  og minnesjiktet  $M_1$  og dertil med korte signalveier. En sideordnet plassering i en flate ville derimot kreve lengre forbindelser og følgelig lengre overføringstider. - Ytterligere er det i databehandlingsinnretningen på fig. 6 anordnet kombinerte minne- og prosessorsjikt  $MP_1, MP_2, MP_3$  utstyrt med prosessorer forbundet innbyrdes og til prosessorgrensesnittet 3 over den samme prosessorbuss 4. Samtlige av de kombinerte minne- og prosessorsjikt MP kan omfatte én eller flere prosessorer 5 og ett eller flere RAM 6. Over de kombinerte minne- og prosessorsjikt MP er det som før anordnet et minnegrensesnitt 1 med et I/O grensesnitt 9 til eksterne enheter, og over minnegrensesnittet 1 følger minnesjikt  $M_2, M_3, \dots$  i et så stort antall som ønskelig og eventuelt realisert som databehandlingsinnretningens masselager. Disse minnesjikt  $M_2, M_3$  er igjen forbundet til minnegrensesnittet 1 via minnebusser realisert som vertikale ledende strukturer 2 gjennom sjiktene  $M_2, M_3, \dots$
- 15 På fig. 2-6 er databehandlingsinnretningen i henhold til oppfinnelsen vist som et snitt gjennom innrettingens forskjellige sjikt, men det skal forstås at databehandlingsinnrettingens sjiktvis oppbygging i virkeligheten realiserer en volumetrisk konfigurasjon, hvor f.eks. de vertikale strømledende strukturer 2 kan være anordnet fordelt over flaten og således skaffe et stort antall forbindelser mellom minner og prosessorer og tilhørende grensesnitt, og likeledes at eksempelvis prosessorbussen 4 i hvert tilfelle strekker seg både horisontalt og vertikalt i de forskjellige sjikt og kan knytte prosessorer som er fordelt innen et og samme sjikt eller på forskjellige sjikt sammen i et tredimensjonalt konfigurert nettverk. - I den forbindelse skal det forøvrig bemerkes når uttrykket "horisontal" og "vertikal" er benyttet om de elektrisk ledende strukturer, skal det med dette forstås at det førstnevnte begrep overalt innebærer at de ledende strukturer strekker seg langsetter sjiktet og hovedsakelig parallelt med dets over eller underside og tilsvarende at det annet begrep overalt betyr at strukturene strekker seg hovedsakelig perpendikulært til lagenes overside eller underside og krysser disse. Rent praktisk kan følgelig også "horisontal" og "vertikal" referere seg til sjiktene orientering i forhold til det underliggende, hovedsakelig plane substrat, idet sjiktene ikke bare er innbyrdes parallelle, men også strekker seg parallelt i forhold til overflaten av substratet S.
- 20 25 30 35 I prinsippet er det ingenting i veien for at databehandlingsinnretningen i henhold til oppfinnelsen, bortsett fra substratet, helt kan være realisert med hovedsakelig organiske materialer, eventuelt metallorganiske komplekser, og

- implementert i tynnfilmteknologi. Rent praktisk kan det være en fordel å  
 5 anordnet prosessorgrensesnittet 3 og den nederste prosessorsjikt P<sub>1</sub> tilstøtende  
 substratet S, slik at man eventuelt står fritt til å realisere komponentene i disse  
 sjikt i konvensjonelle og velkjente halvlederteknologier, eksempelvis basert på  
 silisium. Det er imidlertid ingenting i veien for at naturligvis disse sjikt også  
 kan være realisert i en organisk tynnfilmteknologi.
- Hvordan minner i lagringsenheten kan være realisert praktisk, skal nå omtales  
 10 nærmere i det følgende. Likeledes skal det omtales eksempler på utførelse av  
 aktive komponenter, f.eks. transistorer, samt ledende strukturer, hvor også  
 forskjellig egnede materialer og teknologier for å implementere disse  
 komponentene kort vil bli nevnt. Det vil da klarere også fremgå at en  
 15 databehandlingsinnretning i de utførelser som er vist på fig. 2-6, vil la seg  
 kunne realisere med teknologier som enten foreligger eller for tiden er under  
 utvikling, blant annet av søkeren selv.
- I NO patentsøknad nr. 972803 som er overdratt til den nåværende søker og  
 som det her skal henvises til, er det vist en elektrisk adresserbar logisk  
 innretning egnet til lagring eller prosessering av data. En utførelse av denne  
 20 innretningen konfigurert som et dataminne er vist på fig. 7a. Minnet omfatter  
 et minnemedium 10, som utgjør en sjiktliggende kontinuerlig struktur og kan  
 være realisert som et sjikt i et av minnesjiktene M i den foreliggende  
 oppfinnelse. Minnemediet 10 er dannet av et hovedsakelig organisk materiale  
 som kan gjennomgå en fysisk eller kjemisk tilstandsforandring ved en passende  
 25 energetisk påvirkning. Minnemediet 10 er som vist på fig. 7a, anordnet mellom  
 en matrise av hovedsakelig ortogonalt kryssende elektroder 11 og 12, slik at  
 disse i forhold til minnemediet danner en hovedsakelig ortogonal  
 elektrodematrise som overalt kontakterer minnemediet direkte. Det skal forstås  
 at elektrodene 11, 12 kan være realisert som de ovenfor omtalte ledende  
 30 strukturer i et minnesjikt M. I skjæringspunktet mellom en underliggende  
 elektrode 11 og en overliggende elektrode 12 dannes det i minnematerialet 10  
 en logisk celle som under påvirkning av spenning, strøm eller et elektrisk felt  
 kan innta en tilstand som kan representere en forhåndsbestemt logisk verdi for  
 cellen. Disse logiske cellene utgjør således minneelementene i minnet som vist  
 35 på fig. 7a. Hver av elektrodene 11, 12 er forbundet med minnebussmodulen 2' over  
 adresseringslinjer 13 og minnebussmodulen er over minnebussen 2 forbundet med  
 minnegrensesnittet 1 som kan være anordnet i et annet sjikt i databehandlingsinnretningen og på avstand fra det angeldende minnesjikt, idet  
 minnebussen 2 for dette formål delvis er utført som vertikalt ledende strukturer

5 som strekker seg gjennom de forskjellige sjikt i databehandlingsinnretningen, slik dette skjematiske er antydet på fig. 7b som viser et snitt gjennom minnet på fig. 7a, tatt langs en av elektrodene 12. Fig. 7c og 7d viser snitt gjennom den enkelte minnecelle 14 som dannes i krysningstedet mellom en underliggende elektrode 11 og en overliggende elektrode 12. Det skal forstås at elektrodene 12 og 11 kan være anordnet i eller på minnemediet 10 og kontaktere dette direkte, eller det kan på begge sider av minnemediet være anordnet ikke viste dielektriske sjikt, slik at elektrodene 11, 12 kontakterer minnemediet 10 indirekte. Påtrykkes elektrodene 11, 12 i en spenning fås i hvert tilfelle en direkte eller indirekte elektrisk kobling igjennom minneelementet, slik at det kan bringes til en bestemt tilstand eller at en bestemt tilstand i minneelementet 14 kan detekteres. Tilstandsforandringen i minneelementet 14 kan være en forandring i minnematerialets strøm- eller spenningskarakteristikker på dette sted eller en forandring av materialets impedansverdi. Ved valg av passende materialer vil en tilstandsform i fravær av spenning eller elektrisk felt være permanent, slik at tilstanden blir permanent opprettholdt og minnet på fig. 7a dermed realiserer en ikke-flyktig, elektrisk adresserbar minneinnretning. Selve minnematerialet kan være et polymermateriale, eksempelvis en konjugert polymer, og det kan også omfatte et anisotrop elektrisk ledende materiale, dvs. et materiale som bare leder elektrisk i tverretningen mellom elektrodene, slik at det i minnematerialet ikke får elektriske strømmer som forplanter seg i lengderetningen. Minnematerialet 10 kan også være utført slik eller tilsatt stoffer som gjør at det under påvirkning av elektrisk spenning eller elektriske felt kan gå over fra en krystallinsk til en amorf fase eller omvendt, idet 10 fasetilstandens strøm/spenningskarakteristikker er distinkte og tillater en deteksjon. Elektrodene 11, 12 som er dannet i form av horisontalt ledende strukturer i det angeldende minnesjikt M, kan selv være et ledende organisk materiale eller være dannet i form av avsatte metallorganiske forbindelser eller som metaller på minnematerialets overflate 10. Videre kan minneelementet 20 eller den logiske celle 10, 14 utgjøre en likeretterdiode mellom elektrodene 11, 12, slik at minneinnretningen på fig. 7a danner et elektrisk nettverk av slike dioder. Konsekvensen av dette skal omtales nærmere i det følgende, men et slikt diodenettverk kan hindre skrive- og/eller deteksjonsfeil på grunn av snikstrømmer fra et minneelement til et annet i elektrodematrisen. Spesielt kan 25 det være benyttet et organisk minnemateriale 10 som spontant danner en diodejunksjon i minneelementet 14. Videre er det ansett som fordelaktig at den logiske celle er utført slik at minnematerialet 10 under påvirkning av elektrisk spenning eller elektriske felt undergår en reaksjon som gjør at resistansverdien 30 35

i den enkelte logiske celle kan endres. Dermed kan den logiske celles logiske verdi detekteres ved å måle en logisk celles impedans, og denne deteksjon svarer naturligvis til en lesning av innholdet i minneinnretningen som vist på fig. 7a. Kan minneelementets logiske verdi svitsjes reversibelt, realiserer 5 minneinnretningen på fig. 7a et skrive/leseminne eller minne av typen ERASABLE, men det er ingenting i veien for at den logiske verdi kan svitsjes irreversibelt, slik at minneinnretningen på fig. 7a dermed realiserer et leseminne (ROM) eller et minne av typen WORM. Ved bruk av en minneinnretning som vist på fig. 7a i stablede minnesjikt M, må disse isoleres 10 innbyrdes, og dette kan skje gjennom anordning av dielektriske, tynne sjikt 15 på hver side av elektrodene. Ligger elektrodene 11, 12 nå på overflaten av minnematerialet 10 kan de samtidig være innbefattet i disse dielektriske sjikt 15, som vist på fig. 7d.

I en variant av minneinnretningen på fig. 7a, hvor minneinnretningen i og for 15 seg fortsatt har den samme elektriske konfigurasjon, kan det benyttede minnematerialet 10 være en tynnfilm av ferroelektriske materiale, idet et slikt ferroelektrisk materiale under et påtrykt elektrisk felt kan innta en første eller annen polarisasjonstilstand og svitsjes fra en uordnet tilstand til en av 20 polarisasjonstilstandene eller fra den første til den annen polarisasjonstilstand eller omvendt. En logisk celle eller et minneelement 14 kan da være dannet i tynnfilmen av ferroelektrisk materiale mellom elektrodene 11, 12. En bestemt polarisasjonstilstand tilordnet til det logiske element 14 representerer det 25 logiske elements logiske verdi eller den i minneelementet lagrede dataverdi. I hvert tilfelle er den logiske celle eller minneelementet konfigurert som vist på fig. 7c og fig. 7d. Et logiske materialet eller minnemediet en ferroelektrisk tynnfilm, kan imidlertid den logiske celle eller minneelementet 14 også være realisert som vist på fig. 7e i grunnriss og på fig. 7f i et snitt tatt langs linjen A-A' på fig. 7c. Her er den overliggende elektrode 12 adskilt fra den 30 underliggende kryssende elektrode 11 av et isolasjonstrinn 15'. Det aktive området i det ferroelektriske tynnfilm 10 vil da fremtre som smale bånd på begge sider av elektroden 12, som vist på fig. 7e og strekke seg henimot den underliggende elektrode 11, slik dette er vist på fig. 7f og hvor feltlinjene dessuten er antydet med piler. Ved fremstillingen av en minneinnretning basert 35 på ferroelektrisk tynnfilm som her omtalt, dannes først elektrodene 11 ved mønstring av et passende materiale, f.eks. anordnet på et ikke vist isolerende substrat. Over dette anbringes et kontinuerlig sjikt 15 av isolasjonsmateriale og på toppen av dette de overliggende elektroder 12, slik at det fås en

hovedsakelig ortogonal elektrodematrise. Etter avsettingen av elektrodene 12 etses eller fjernes på annen måte isolasjonsmaterialet 15 i partiene imellom elektrodene, og den ferroelektriske tynnfilm 10 anordnes som et kontinuerlig sjikt over elektrodene, slik dette er antydet på fig. 7f. Den ferroelektriske tynnfilm 10 kan være dannet i et keramisk materiale, eller være et ferroelektrisk væskekrystallmateriale, men fortrinnsvis være dannet av en polymer eller kopolymere, eksempelvis en vinylidenfluorid/trifluoroetylen-kopolymer.

En minneinnretning som vist på fig. 7a, kan inngå i lagringenheten i databehandlingsinnretningen i henhold til oppfinnelsen og i så fall være anordnet som vist på fig. 7g, med stablede minnesjikt  $M_{k-1}$ ,  $M_k$ ... i så stort antall som måtte være hensiktsmessig. Elektrodene 11, 12 i de enkelte sjikt og adresseringslinjene 13 er igjen anordnet som horisontalt ledende strukturer og forbundet til en minnebussmodul 2' med minnebusser 2. Disse minnebussene 2 kan enten være horisontalt ledende strukturer eller vertikalt ledende strukturer og skaffer forbindelse mellom minnesjiktene M og et underliggende minnegrensesnitt 3 med en I/O grensesnitt 9, slik det er vist på fig. 7g. En særlig fordelaktig variant av en minneinnretning implementert i en minneinnretning som vist på fig. 7g fås ved utførelsen vist på fig. 7h som gjengir et snitt langs og gjennom kryssende parallele elektroder 11; 12. På det isolerende substrat i et første minnesjikt  $M_{k-1}$  er det som før anordnet en underliggende elektrode 11 og en derover overliggende elektrode 12. Denne overliggende elektrode 12 i det første sjikt  $M_{k-1}$  utgjør nå den underliggende elektrode 11 i det påfølgende minnesjikt  $M_k$  og tilsvarende utgjør den overliggende elektrode 12 i minnesjiktet  $M_k$  den underliggende elektrode 11 i det overliggende sjikt  $M_{k+1}$ . Dermed vil en minneinnretningen som vist på fig. 7g og utført med n minnesjikt M kunne greie seg med  $n+1$  elektrodesett 11; 12, i stedet for  $2n$  elektrodesett som vist ved utførelsen på fig. 7g. En slik anordning av elektrodene i en stablet logisk innretning eller en minneenhett realisert i en stablet konfigurasjon er omtalt i NO patentsøknad 980871 som det her skal henvises til og som er overdratt til søkeren.

Nå skal det omtales en ytterligere teknisk løsning for å realisere en logisk innretning eller minneinnretning til bruk i databehandlingsinnretningen i henhold til den foreliggende oppfinnelse. Dette oppnås med en elektrodeanordning som er beskrevet nærmere i NO patentsøknad 973390 som det her skal henvises til og som er overdratt til søkeren. Fig. 8a viser utførelsen av denne elektrodeanordning med et funksjonselement 17 som kan ha en

detekterende, informasjonslagrende og/eller informasjonsindikeringe funksjon. For den foreliggende oppfinnelses formål er det ønskelig at funksjonselementet 17 skal fungere som en logisk celle med enten en svitsjende funksjon som kan benyttes til å realisere logiske komponenter, eller med en informasjonslagrende funksjon som kan benyttes til å realisere minnelementer i en minneinnretning.

Spesielt kan funksjonselementet 17 være elektrisk sensitivt, og da slik at elektrodeanordningen vil tillate passiv elektrisk adressering av funksjonselementet. I anordningen på fig. 8a er en underliggende elektrode 11 eksempelvis anbrakt på et ikke vist substrat og over denne elektrode er det 5 anordnet en overliggende elektrode 12 som krysser den underliggende elektrode 11 i en brokonfigurasjon, idet det mellom elektrodene 11, 12 er anordnet et lag 15 av elektrisk isolerende materiale som også strekker seg 10 under hele elektroden 12 og mellom denne og det ikke viste, underliggende substrat. Over begge elektroder 11, 12 er det anordnet et kontaktlag 16 av et elektrisk ledende eller halvledende materiale som kontakter begge elektroder 15 11, 12 elektrisk. Langs to motsatte sidekanter av elektroden 12 og til den første elektrode 11 danner kontaktlaget aktive områder ved krysningssstedet for elektroden 11, 12. Spesielt skal materialet i kontaktlaget 16 være en anisotrop ledet 20 eller halvleder, og enda mer ønskelig er det å benytte en anisotrop ledet som er helt utført i polymermaterialer. Grunnen til dette skal omtales nedenfor. Over kontaktlaget 16 er det anordnet en funksjonselement 17, 25 tilstøtende eller i krysningssstedet for elektrodene 11, 12. I prisnippet kunne funksjonselementet 17 være anordnet i og dannet som en del av kontaktlaget 16 over krysningssstedet for elektrodene 11, 12 og vil da hovedsakelig falle sammen med dette, slik at funksjonselementet 17 hovedsakelig svarer til de aktive områder som dannes i kontaktlaget.

Som vist på fig. 8a, er funksjonselementet 17 realisert som separat element og 30 anordnet ved krysningssstedet for elektrodene 11, 12 men over og på toppen av kontaktlaget 16. Den første elektrode 11 kan fordelaktig være utført i aluminium som har en lav arbeidsfunksjon, mens den annen elektrode 12 kan 35 være utført i gull som har en høyere arbeidsfunksjon enn aluminium. Den prinsipielle struktur av et funksjonselement 17 og kontaktlaget 16 er vist på fig. 9. Metall 1 utgjør den første eller underliggende elektrode 11 i anordningen og kan være utført i aluminium. Den danner med Polymer 1 en likrettende schottkyjunksjon, hvor Metall 1 i elektroden 11 utgjør katoden. Polymer 1 er dannet av et første polymermateriale som foretrukket er et 40 polytiofen. Metall 2 i elektroden 12 utgjør strukturens anode og danner en

ikke-likerettende junksjon med Polymer 1. Polymer 2 som er et annet polymermateriale, utgjør funksjonselementet 17 og kan være utført slik at det forandrer sine strøm/spenningskarakteristikker ved påtrykking av en elektrisk spenning eller et elektrisk felt. Det annet polymermateriale som er benyttet i funksjonselementet 17, er foretrukket et vannløselig polytiofen (POWT).

Strukturen i fig. 9 tillater en direkte deteksjon av konduktivitetstilstanden til funksjonselementet 17 direkte på basis av strøm/spenningskarakteristikkene til anordningen. Elektrodeanordningen vist på fig. 8 kan benyttes i en elektrisk adresserbar logisk innretning, spesielt en passiv adresserbar minneinnretning, slik den er vist skjematiske realisert på fig. 10. En rekke elektroder 11, 12 er anordnet slik at de danner en hovedsakelig ortogonal matrise av x,y-elektroder og med elektrodeanordningene på fig. 8 i hvert krysningssted for elektrodene. Når elektrodeanordningene er realisert med strukturen vist på fig. 9, fås det ved hvert krysningssted mellom en x-elektrode og en y-elektrode en diode 13 som i hvert tilfelle har samme lederetning. Det er også mulig at den enkelte elektrodeanordning kan være realisert med en iboende likerettende funksjon. Denne likerettende funksjon er nødvendig for å unngå krysstaleproblemer ved adressering av elektrodeanordningen benyttet i en passiv matrise som vist på fig. 10. En selektiv adressering av den enkelte elektrodeanordning krever nemlig at det i hver elektrodeanordning må finnes en likerettende kontakt, f.eks. som nevnt mellom den underliggende elektrode 11 og kontaktlaget 16. Når et funksjonselement 17 i x,y-posisjon i matrisen skal adresseres, må det ikke forekomme noen strømovergang ved tilstøtende krysningssteder ( $x+1,y$ ), ( $x-1,y$ ), ( $x,y+1$ ) eller ( $x,y-1$ ). Det skal i den forbindelse forstås at diodene 18 på fig. 10 bare utgjør en ekvivalent modell for den likerettende funksjon til elektrodeanordningen i krysningsstedet mellom elektrodene 11, 12.

Når funksjonselementene ved krysningsstedet mellom x,y-elektroder 11, 12 i elektrodematrisen på fig. 10 påtrykkes en elektrisk spenning eller utsettes for en elektrisk felt, vil funksjonselementet undergå forandringer eksempelvis i resistivitet, kapasitans eller strøm/spenningskarakteristikk. Derved kan det realiseres et passivt elektrisk adresserbart minne, med skriving til den enkelte minneelement i minnet, idet minneelementet naturligvis svarer til elektrodeanordningen med funksjonselementet 17 som vist på fig. 8. Det er også mulig å benytte selve kontaktlaget 16 som minnemateriale og skriving til et minnested eller bitsted, dvs. til den enkelte minnecelle, kan da finne sted ved å forandre de elektriske egenskapene til kontaktlaget i det aktive området i

elektrodeanordningen. Eksempelvis kan skriving finne sted ved at ledningsevnen ødelegges slik at det ikke lenger fås elektrisk kontakt mellom elektrodene 11, 12 i minneelementet. Dette vil kunne benyttes til å realisere et leseminne (ROM) eller et minne av typen WORM. Minnet 10 kan også være realisert slik at ledningsevnen i kontaktlaget gradvis reduseres. Dersom denne reduksjonen skjer i på forhånd fastsatte trinn, kan hvert minneelement lagre flere bit og minneinnretningen vist på fig. 10 vil da kunne realisere lagring i hver minnecelle i henhold til en gitt flernivås kode. Dette kan øke lagringstettheten i vesentlig grad. I den forbindelse skal det også vises til den ovenfor omtalte NO patentsøknad 972803.

Elektrodeanordningen som vist på fig. 8 kan også benyttes generelt som en logisk innretning i databehandlingsinnretningen i henhold til oppfinneren. Dette forutsetter at funksjonselementet 17 i hver elektrodeanordning er innrettet slik at det kan svitsjes fra en tilstand til en annen, eventuelt mellom flere tilstander, og dermed kunne benyttes til å realisere logiske porter eller logiske nettverk. Den samme forutsetning vil ligge til grunn dersom innretningen vist på fig. 10 skal benyttes til å realisere en RAM eller et minne av typen ERASABLE. Rent praktisk kan den i NO patentsøknad 973390 viste innretning benyttes til å realisere en minneinnretning i størrelsesorden  $1\text{ cm}^2$

og helt i tynnfilmteknikk. De enkelte minneelementer kan da gjøres så små som det er praktisk mulig å oppnå ved mønstringssmetoder for elektroder, kontaktlag og funksjonselementer. - I prinsippet ville det ikke være noe i veien for at materialet i kontaktlaget var et isotropt ledende materiale, men dette bygger på den forutsetning at kontaktlaget er tynt og at avstanden mellom elektrodeanordningene, dvs. krysningsstedet mellom elektrodene 11, 12 i matrisen på fig. 10, er stor. - Dersom det er ønskelig med en høy lagringstetthet i en minneinnretning realisert som vist på fig. 10, vil utstrekningen av elektrodeanordningen som vist på fig. 8 være liten og krysningsstedene 11, 12 i elektodematrissen befinner seg svært nær hverandre.

Det er da en åpenbar fordel å benytte et anisotropt ledende materiale, spesielt et polymermateriale, i elektrodeanordningen på fig. 8.

Endelig skal det nevnes at kontaktlaget også kan realiseres med ikke-lineære strøm/spenningskarakteristikker og være utført i et halvledende organisk materiale, eksempelvis et halvledende polymer. Med utgangspunkt i strukturen vist på fig. 9 vil det dermed være mulig å realisere elektrodeanordningen på fig. 8 med en transistorfunksjon. Dette skal ikke behandles nærmere her, men vil bli omtalt i det følgende i tilknytning til en drøftelse av transistorer som kan

benyttes til å realisere aktive komponenter i prosesseringenheten og lagringenheten i databehandlingsinnretningen i henhold til den foreliggende oppfinnelse. I det ovenstående er det i tilknytning til omtalen av figurene 7-10 hovedsakelig forutsatt at de der viste anordninger skal benyttes til å realisere informasjonslagrende funksjoner, altså være utført som minner i lagringenheten. Det er som allerede nevnt, intet i veien for at de kan benyttes til å realisere logiske innretninger generelt, dersom det benyttede logiske materiale eller aktive materiale mellom elektrodene kan svitsjes reversibelt. En nærmere omtale av fremstillingen av anordningene som vist på fig. 7-10 er utelatt her, da den til dels vil være velkjent for fagfolk og til dels er beskrevet i den ovenfor omtalte norske patentsøknad og den der anførte litteratur og hvortil det generelt i denne forbindelse kan henvises.

Det skal nå omtales transistorer, spesielt felteffekttransistorer (FET) som kan benyttes som aktive komponenter i prosesseringenheten og/eller i lagringenheten i databehandlingsinnretningen i henhold til den foreliggende oppfinnelse og generelt benyttes til å realisere prosessorer og grensesnitt som benyttet i databehandlingsinnretningen i henhold til oppfinnelsen. Et første prosessorsjikt anordnet tilstøtende et silisiumsubstrat, vil det naturligvis ikke være noe i veien for at prosessorsjiktet kan realiseres med komponenter i form av integrerte kretser og da som monolittisk integrerte kretser, men eventuelt også som hybride integrerte kretser. Felteffekttransistorer basert på amorf, uorganiske halvledere og realisert i tynnfilmteknikk vil f.eks. kunne integreres med konvensjonelle monolittiske løsninger i en hovedsakelig silisiumbasert teknologi. Et eksempel på utførelsen av en tynnfilmtransistor med det aktive halvledermateriale i form av amorf Si:H i 10 nm tykt sjikt (D.B. Thomasson & al., IEEE El. Dev. Lett., p.117, bind 18, mars 1997) er vist på fig. 11. På et substrat 20 er det anordnet en grindelektrode 21 som kan være av metall. Over denne grindelektroden er det anordnet et isolerende sjikt 24 av silisumnitrid (SiN), og derover er det aktive halvledermateriale i form av amorf Si:H anordnet i et 10 nm tykt sjikt. Dren- resp. kildeelektroden 22 er anordnet innbyrdes adskilt på det aktive halvledermateriale 23. De er utført i et annet metall enn det som ble benyttet i grindelektroden 23. Bruken av et prosessorsjikt P anordnet direkte på substratet S eller tilstøtende et prosessorgrensesnitt 3 anordnet på substratet S gjør det som nevnt mulig å realisere begge sjiktene helt i en konvensjonell halvlederteknologi, enten i form av monolittisk eller hybride integrerte kretser, og dersom de øvrige, overliggende prosessor- og minnesjikt helt er realisert i en teknikk basert på

hovedsakelige organiske materialer, fås det en hybridløsning for databehandlingsinnretningen i henhold til oppfinnelsen.

Det er naturligvis heller ingenting i veien for at samtlige sjikt, dvs. prosessorsjikt, minnesjikt og grensesnittsjikt helt er realisert i organisk tynnfilmteknologi. I den forbindelse vil det være hensiktsmessig å benytte en organisk tynnfilmtransistor som vist på fig. 12 (A. Dodabalapur & al., Appl. Phys. Lett. pp. 4227-29, bind 69, desember 1996). Her benyttes et aktivt halvledermateriale i form av en amorf organisk forbindelse, eksempelvis en polymer eller aromatiske molekyler. Grindelektronen 21 er anordnet på et substrat 20 og over grindelektronen er det anordnet en isolator 24 som godt kan være dannet ved å påføre grindelektronens overflate et oksidbelegg, eksempelvis realisert ved oksiderende materiale i grindelektronens overflate. Dren- og kildelektronene 22 er anordnet over isolatorsjiktet 24 og innbyrdes adskilt og over dren- og kildelektronene er det anordnet et sjikt 23 av aktivt, organisk halvledermateriale som også dekker det blottlagte parti av grindisolatoren 24. Det organiske halvledermateriale kan være en konjugert polymer eller aromatiske molekyler.

Felteffekttransistorer realisert i tynnfeltteknikk som vist på fig. 11 og 12, har meget små dimensjoner i vertikalretningen og vil derfor kunne benyttes i de meget tynne sjikt som prosessorenheten og minneenheten i databehandlingsinnretningen i henhold til oppfinnelsen er forutsatt å bygges opp av. Felteffekttransistorene vist på fig. 11 og 12 er imidlertid utført i horisontal geometri, og vil derfor legge beslag på en forholdsvis stor horisontal flate i sjiktet. Større komponenter i sjiktene vil kunne oppnås dersom det anvendes aktive komponenter i form av felteffekttransistorer med en vertikal geometri, realisert i tynnfilmteknikk og basert på organiske materialer.

En slik felteffekttransistor er beskrevet i norsk patentsøknad nr. 980224 som det her skal henvises til og som tilhører søkeren. På et substrat 20 er det anordnet en film 22 av ledende materiale som utgjør en første elektrode i transistoren. Over denne filmen er det anordnet et isolerende materiale som utgjør den første isolator 25 og derover anordnet et ytterligere ledende materiale som utgjør en annen elektrode 21 i transistoren. På den annen elektrode 21 er det anordnet et isolerende materiale 25 som utgjør en annen isolator i transistoren og over den annen isolator er det anordnet en film 22' av ledende materiale som utgjør en tredje elektrode i transistoren. Realisert som en felteffekttransistor utgjør nå de første og tredje elektroder 22, 22'

henholdsvis transistorens drenelektrode og kildeelektrode eller omvendt. Den annen elektrode 21 utgjør grindelektroden. Både den annen og den tredje elektrode 21; 22 samt isolatorene 25 er anordnet på den første elektrode 22, slik at de over denne og substratet 20 danner et vertikalt trinn hvis utstrekning er antydet med henvisningstallet 26 på fig. 13. Dermed dekker strukturen bestående av den annen og tredje elektrode 21 og 22' samt isolatorene 25 bare en del av substratet 20, og den horisontale utstrekning av sjiktene som danner den vertikale trinn 26 på den første elektrode 22 eller substratet kan realisert i tynnfilmteknikk gjøres meget liten, eksempelvis noen ti-nanometre. Over den blottlagte overflate av grindelektroden 25 som inngår i det vertikale trinn 26, er det anordnet et isolerende materiale 24 som utgjør grindisolatoren i felteffektransistoren. Over toppen av den tredje elektrode 22' som eksempelvis kan være kildeelektroden i transistoren, over det vertikale trinn 6 og ned til den første elektrode 22, som kan være drenelektroden i transistoren, er det anordnet et sjikt 23 av aktivt halvledermateriale som kan være et amorft, polykristallinsk eller mikrokristallinsk uorganisk eller organisk halvledermateriale.

Grindelektroden 25 er isolert mot det aktive halvledermateriale 23 av grindisolatoren 24, slik at ladningsinjeksjon forhindres. En hovedsakelig vertikal transistorkanal 23' er definert i det aktive halvledermateriale 23 og strekker seg mellom kilde- og drenelektroden 22, 22' og hovedsakelig tilstøtende det vertikale trinn 26 som vist. Det er valgfritt om den første elektrode 22 og den tredje elektrode 22' skal være henholdsvis drenelektrode eller kildeelektrode. Transistoreffekten vil enten være gitt ved en utarmingsmode eller en anrikingsmode, avhengig av grindpotensiale. - Med hensyn til fremstillingen av denne felteffekttransistor i tynnfilmteknikk skal det henvises til den anførte patentssøknad. Felteffekttransistoren som realisert i tynnfilmteknikk, vil i vertikalretningen ha dimensjoner som helt ut er kompatible med tykkelsen av prosessorsjiktet eller minnesjiktet realisert i tynnfilmteknologi for bruk i databehandlingsinnretningen i henhold til oppfinnelsen, men vil ha langt mindre horisontal utstrekning enn eksempelvis tynnfilmtransistoren vist på fig. 12 og derfor kunne gi en høyere komponenttetthet i et angeldende sjikt. - Ytterligere en felteffekttransistor med MIS-struktur realisert i tynnfilmteknikk er vist i US patent nr. 5347144 (Garnier et al.) som det her skal henvises til og som er overdratt til søkeren. Den der viste MISFET realisert i tynnfilmteknikk vil kunne benyttes som svitsjende eller forsterkende komponent i databehandlingsinnretningen i

- henhold til den foreliggende oppfinnelse. Denne transistor har et tynt halvledersjikt mellom en kildeelektrode og en drenelektrode. Halvledersjiktet står i kontakt med en overflate av en tynnfilm av et isolerende materiale og kontakterer med sin annen overflate en ledende gridelektrode. Selve halvledermaterialet består av minst en polykonjugert organisk forbindelse med en bestemt molekylvekt. Tynnenfilmen av isolerende materiale er utført i en isolerende organisk polymer som kan ha en dielektrisk konstant på minst 5.
- I forbindelse med omtalen av anordningen på fig. 11, 12 og 13 skal det forstås at de enkelte spesifikt omtalte sjikt i realiteten vil utgjøre et undersjikt når den viste anordning inngår i et prosessorsjikt P eller minnesjikt M i databehandlingsinnretningen i henhold til oppfinnelsen.
- Det er forøvrig i den senere tid foreslått og beskrevet også andre aktive halvlederkomponenter hvor halvlederne er basert på organiske polymerer eller oligomerer. Det vil derfor generelt ikke være vanskelig å realisere databehandlingsinnretningen i henhold til den foreliggende oppfinnelse helt ut med komponentene dannet av hovedsakelig organisk materialer, det være seg i prosesseringsenheten eller lagringenheten.
- For den foreliggende oppfinnelse kan det være særlig attraktivt å benytte organiske materialer hvis elektriske egenskaper kan modifiseres under påvirkning av elektromagnetisk stråling, partikkelstråling eller elektriske felt. Spesielt er det attraktivt for den foreliggende oppfinnelse å danne de enkelte sjikt av et eller flere undersjikt av slike materialer som er behandlet, enten før eller etter sammenføyningen til ett eller flere hovedsjikt, med bruk av elektromagnetisk stråling med gitte intensiteter eller frekvenskarakteristikker, slik at de enkelte undersjikt som inngår i et hovedsjikt P,M,MP dermed får de ønskede elektriske egenskaper i valgte partier, eks. ved at den benyttede stråling spatialmoduleres gjennom en maske eller en spatial lysmodulator. En slik prosess vil i prinsippet derfor kunne minne om bruk av fotolitografisk teknikk i vanlig halvlederteknologi.
- Ved den foreliggende oppfinnelse kan derfor det enkelte sjikt, det være seg et prosessorsjikt P eller et minnesjikt M være bygget opp av undersjikt som skal tilføres forskjellige egenskaper før de settes sammen til et hovedsjikt. I et minne kan f.eks. minnematerialet være anordnet i et sentralt undersjikt og omgitt av separate elektrodesjikt, og det kan mellom de enkelte undersjikt være anordnet separate isolatorsjikt, slik dette f.eks. fremgår av fig. 7g. Tilsvarende

- kan f.eks. en aktiv komponent som transistoren på fig. 12 bygges opp ved avsetning av undersjikt 20, 21, 22, 23 med bestemte egenskaper. Det er imidlertid tenkbart at en transistorstruktur lik den på fig. 12 kan realiseres i et og samme organiske materiale, idet de enkelte undersjikt behandles separat før sammenføyningen ved bestråling med f.eks. lys, slik at hvert undersjikt møntrer eller umønster får den ønskede elektriske egenskap som skal være med på å realisere en felteffekttransistor i tynnfilmteknikk. Det vil si at et første undersjikt må være en isolator, et annet undersjikt en leder, et tredje undersjikt en halvleder, et fjerde undersjikt en isolator og endelig et femte undersjikt igjen en elektrisk leder. Til bruk i den foreliggende oppfinnelse, enten det dreier seg om minneenheten eller prosessorenheten, er det ønskelig å kunne benytte også aktive komponenter, f.eks. som de nevnte transistorer, helt realisert i organisk materiale, eksempelvis polymerer. Likeledes er det av interesse å kunne danne blant annet integrerte kretser realisert helt i form av tynnmilmer i polymer. Som ovenfor nevnt har blant annet Garnier et al. utviklet og patentert en metall-MIS-felteffekttransistor hovedsakelig helt realisert i polymerteknologi. Generelt er det av interesse å kunne realisere organiske felteffekttransistorer i tynnfilmteknikk som samtidig tillater integrasjon av komponentene.
- Et eksempel på en MISFET realisert helt i polymer, med bruk av polymermaterialer som tilføres de ønskede elektriske egenskaper ved en eksponering overfor UV-stråling, er vist i artikkelen "Polymeric Integrated Circuits and Light Emitting Diodes" av D. M. de Leeuw & al., IEDM, pp. 331-336 (1997).
- For å fremstille integrerte kretser helt i polymer benyttes fotokjemisk mønstring av dopede, elektrisk ledende polyanilinfilmer (PANI-tynnmilmer). Disse oppløses i et egnet løsningsmiddel, og oppløsningen tilsettes en fotoinitiator, hvoretter oppløsningen spinnavsettes på et egnet substrat så som en polyamidfilm. Ved deretter å eksponere PANI-filmen med dyp UV-stråling gjennom en maske, omdannes det initialt ledende polyanilin i de eksponerte områder til den ikke-ledende leukoemeraldin-form. Utgangspunktet er her altså et ledende polymermateriale, hvis arealresistans initialt utgjør 1 kiloohm/kvadrat, men som etter eksponeringen får en arealmotstand på mer enn  $10^{13}$  ohm/kvadrat.

På denne måten kan det dannes dielektriske strukturer i en ellers ledende grunnmasse. Slike tynnfilmer behøver heller ikke å planariseres etter eksponeringen.

Fig. 14 viser en MISFET realisert som foreslått av D.M. de Leeuw & al. Her er 5 dopet polyanilin PANI avsatt som en tynnfilm 22 på et polyimidsubstrat 20. Etter eksponering med UV-lys gjennom passende masker dannes isolerende strukturer 25 i den ellers ledende PANI-film 23. De fortsatt ledende områder 10 22 i PANI-filmen definerer henholdsvis kilde- og drenelektroden i en MISFET-transistor. PANI-filmen 25 behøver ikke å være tykkere enn 200 nm og komparabel med polyimidsubstratets 20 tykkelse. Over PANI-filmen 22 er det 15 avsatt et ytterligere sjikt 23 av polytienylenvinilen eller PTV som er et organisk halvledermateriale. PTV-sjiktet 23 er typisk ca 50 nm tykt og kan avsettes ved kjente filmavsetningsteknikker. Den halvledende PTV-film bestemmer hovedsakelig de elektriske parametre til MISFET-transistoren som vist på fig. 14. Over PTV-sjiktet avsettes nå et 250 nm tykt sjikt 24 av 20 polyvinylfenol (PVP), eksempelvis ved spinnavsetning. Dette PVP-sjiktet 24 utgjør grindisolatoren i felteffekttransistoren og er uggjennomsiktig overfor UV-stråling og synlig lys. Nok en PANI-film 21 avsettes på toppen av PVP-sjiktet 24 og mønstres ved bestråling igjen med ultrafiolett lys, slik at det dannes isolerende strukturer 25 som vist på fig. 14. Området 21 er fortsatt elektrisk ledende og utgjør grindelektroden i MISFET-strukturen.

Skal flere slike transistorer kombineres i integrerte kretser, må det benyttes 25 vertikale strømkoblinger mellom eksempelvis kilde- og drenelektroder i en transistor og grindelektroden i en annen transistor. Slike vertikale strømløp kunne la seg realisere mekanisk, men langt mer attraktivt er det å benytte en fremgangsmåte som er foreslått i NO patentsøknad nr. 98 0385 som det her skal henvises til og som er overdratt til søkeren. I denne patentsøknad er det angitt en fremgangsmåte til å danne elektrisk ledende og halvledende strukturer 30 in situ i et initialt ikke-ledende eller dielektrisk materiale, noe som gir en rekke produksjonstekniske fordeler. Slike strukturer kan benyttes til å realisere horisontale og vertikale strømløp i tynne sjikt, eksempelvis for å implementere forskjellige tynnfilmteknologier, og dessuten til å realisere aktive og passive komponenter ved bruk av samme teknologi.

Det har i teknikken lenge vært kjent at visse organiske makromolekyler, 35 polymerer og til og med biologiske materialer har den egenskap at de kan kontrollere eller modifisere elektriske og/eller optiske signaler. Slike materialer

er generelt kjent som molekulære elektroniske materialer. Et eksempel på et slikt materiale er vist i artikkelen "A new material for optical, electrical and electronic thin film memories" av Z.Y. Hua og G.R. Chen, Vacuum, bind 43, nr. 11 pp. 1019-1023, (1992). Dette materiale er et organometallisk ladningsoverføringskompleks M(TCNQ) dannet av TCNQ (7,7,8,8-tetracyanoquinodimetan,  $C_{12}H_4N_4$ ) som virker som et elektronakseptormolekyl med forskjellige metaller (M) som elektronrike donorer. Dette materiale kan under påvirkning av elektriske felt eller lysstråling og for den saks skyld også energi tilført i form av varme eller elektriske felt gå over fra en høyimpedanstilstand til en lavimpedanstilstand. Reaksjonen er reversibel, slik at M(TCNQ) kan benyttes til å realisere et bistabilt svitsjemedium, f.eks. et utviskbart minnemateriale. Ved å velge elektronondonoren M blant forskjellige metaller, så som Li, Na, K, Ag, Q eller Fe får modifikasjoner av M(TCNQ) som er sensitive overfor bestemte bølgelengder av lys. I tynne sjikt, eksempelvis på 100 til 200 nm, har M(TCNQ) ikke-lineære strøm-spenningskarakteristikker og kan benyttes til å realisere ROM og RAM. For dette formål er det særlig interessant at M(TCNQ) stabilt og reproduksjonsbart tillater strømstyrts, bistabil elektrisk svitsjing. I et elektrisk adresserbart minne kan eksempelvis høyimpedanstilstanden benyttes til å representere binær 1 og lavimpedanstilstanden binær 0. Overgangstiden mellom to tilstander er mindre enn 400 ns. Materialet kan derfor benyttes til å realisere elektrisk adresserbare minner av den art som er vist på og omtalt i tilknytning til f.eks. fig. 7a-7d.

For den foreliggende oppfinnelses formål er det imidlertid spesielt ønskelig å benytte materialer som gjør det mulig å realisere undersjiktene i databehandlingsinnretningen i henhold til oppfinnelsen med en veldefinert modus og grad av elektrisk ledning i produksjonsprosessen og før sammenføyningen av undersjiktene alt etter den tiltenkte funksjon til prosessorsjikt P eller minnesjikt M eller kombinasjoner MP av slike. Slike materialer vil i det følgende generelt betegnes som konverterbare materialer CM, idet konverteringen av materialenes elektroniske egenskaper kan finne sted reversibelt eller irreversibelt under påvirkning av stråling, herunder både fotonstråling og partikkelstråling, varme eller elektriske felt. Ved en spatial modulasjon av strålingen eller de elektriske felt kan materialet mønstres, idet den ønskede konvertering av de elektroniske egenskaper vil være avhengig av den tilførte energi eller den benyttede feltstyrke. Dette er omtalt nærmere i den ovennevnte norske patentsøknad 980385. I motsetning til den ovenfor omtalte PANI-film vil det være foretrukket at materialene i utgangspunktet befinner

seg i en dielektrisk eller elektrisk ikke-ledende tilstand. Hvor materialet CM ikke er påvirket av elektriske felt eller lys, vil det naturligvis beholde sine dielektriske egenskaper og utgjøre en isolator, men mens det i påvirkede områder alt etter konversjonsgraden vil kunne fremstå med elektrisk halvledende eller ledende egenskaper. Områder i den ledende film kan dermed i fremstillingsprosessen stabilt gis en bestemt grad og modus av elektrisk ledningsevne, slik at det for formålet fremstår som elektrisk ledende og kan benyttes til å danne elektroder og strømløp i det enkelte undersjikt, eller som halvledende og danne det aktive materiale i dioder og transistorer. Benyttet som minnemateriale skal konverteringen dessuten være reversibel, slik at materialet CM danner en bistabil elektrisk svitsj og muliggjør elektrisk adresserbare og utviskbare minner av den ovennevnte art, jf. diskusjonen i tilknytning til minnet vist på fig. 7a-7h. Materialet CM vil typisk være et organisk materiale, eksempelvis molekyler, oligomerer eller polymerer som går over fra en initial første tilstand til en annen tilstand under påvirkning av lys i et bestemt frekvensområde. Det skal naturligvis forstås at overgangen mellom den første tilstand og den annen tilstand skal være kjennetegnet av en forandring i grad og modus av den elektrisk ledningsevne.

Som eksempel på materialer som kan gå over fra isolerende til ledende tilstander ved bestråling med lys, kan nevnes forskjellige konjugerte polymerer hvor det benyttes samtidig eksponering overfor en egn dopant på gass- eller væskeform, eller polyfenylvinilen-(PPV-)forløpere impregnert med fargestoff med sterkt frekvensselektiv absorpsjon av lys som gjør at de kan omdannes til en konjugert polymer ved bestrålingen. Videre kan et 2,5-dimetoksyfenylderivat av PPV(DMEO-PPV) gå over fra isolerende til halvledende tilstand ved en eliminasjonsreaksjon av polyelektrolyttfilmer dannet derav. Det vil da dannes en helkonjugert kjede ved bestråling med laserlys. - For fagfolk er en lang rekke slike organiske eller polymerbasert materialer velkjent og omtalt i litteraturen, og det skal igjen henvises til den ovennevnte norske patentsøknad og de der anførte litteratursteder, blant annet med omtale av organisk baserte tynnfilmtransistorer. - Halvledende PPV kan dannes av en sulfoniumsaltforløper ved ionebestråling på 1000 kV Ne<sup>+</sup>.

Fig. 15 viser en foroverforspent PN-junksjonsdiode som kan benyttes i databehandlingsinnretningen i henhold til oppfinnelsen og realisert i tynnfilmteknikk med seks undersjikt SS1-SS6. Sjiktene SS3 og SS4 inneholder det aktive halvledermateriale anordnet mellom elektrodene 29 i henholdsvis undersjiktene SS2 og SS5. Det aktive materiale 23' i undersjiktet SS3 er en N-

- dopt halvleder, mens det tilstøtende aktive materiale 23 i undersjiktet SS4 er en P-dopt halvleder. Elektrodene 29 i sjiktene SS2 og SS5 kontaktes av horisontale elektrisk ledende strukturer eller lederbaner 27 i sjiktene SS1 og SS6. De enkelte sjikt i diodestrukturen på fig. 5 har typisk en tykkelse på ca. 5 100 nm, slik at hele strukturen danner et sjikt med en tykkelse mindre enn 1 μm. Den horisontale utstrekning eller arealet av diodestrukturen vil være bestemt av fremgangsmåten til generering av ledende og halvledende strukturer, men vil ved å benytte f.eks. synlig eller ultrafiolett lys kunne gi en utstrekning på mindre enn 1 μm.
- 10 Fig. 16 viser skjematisk en MOSFET til bruk i den foreliggende oppfinnelse og realisert helt i organisk materiale i tynnfilmteknikk. Grindelektroden 21 er anordnet i undersjiktet SS1 og forbundet med den horisontale ledende struktur 27, mens undersjiktet SS2 utgjør grindisolatoren 24. Det aktive halvledende materiale 23 er anordnet i undersjiktet SS3 og registrerer med grindelektroden 21. Kilde- og drenelektrodene 22 er anordnet i det påfølgende undersjiktet SS4 og utgjør elektrisk ledende områder i det ellers dielektriske materialer SS4. Horisontale elektrisk ledende strukturer i toppsjiktet SS5 kontakterer henholdsvis kilde- og drenelektroden 22 i undersjiktet SS4. Da elektroder og strømløp 27 godt kan ha de samme elektriske egenskaper, kunne også de horisontale elektrisk ledende strukturer 27 være anbrakt i sjiktet SS4 og kontaktere elektrodene 22 der, slik at MOSFET-strukturen på fig. 16 kommer til å bestå av fire undersjikt SS1-SS4 i alt. Hvert undersjikt vil da spesifikt bestå av enten elektrisk ledende strukturer, være dielektrisk eller omfattende en halvledende struktur. Tykkelsen til en MOSFET av denne art kan utgjøre ca. 15 20 25 ½ μm, mens utstrekningen i horisontalplanet, slik den kan realisere med dagens teknikk vil være fra høyst noen få μm til under 1 μm.
- MOSFET-strukturen på fig. 16 kan nå benyttes i logiske porter, eksempelvis en logisk inverter i CMOS-teknikk som vist på fig. 17. En slik inverter er dannet ved en parallellkobling av kilde- og drenelektroden i henholdsvis en NMOSFET og en PMOSFET. For dette formål er det dannet en vertikal ledende struktur 28 som går gjennom samtlige undersjikt SS1-SS11 og forbinder elektrodene 22'. Utgangssignalet fra inverteren føres på denne ledende struktur 28 til en horisontal ledende struktur 27 til venstre på figuren. MOSFETenes grindelektroder 21 mottar inngangssignalet via den horisontale ledende struktur 27 i undersjiktet SS6 til høyre på figuren. Da grindelektrodene 22 naturligvis står på samme potensial, kunne de være felles for inverteren,

hvis MOSFETer på tegningen er vist realisert i en rygg-mot-rygg-løsning. Også de vertikale elektrisk ledende strukturer i undersjiktene SS1 og SS11 kunne være flyttet til undersjiktene SS2 og SS10. Inverterstrukturen på fig. 17 kunne dermed realiseres med syv og ikke elleve undersjikt som vist på fig. 17.

- 5 Tykkelsen av samtlige undersjikt ville da være mindre enn 1  $\mu\text{m}$ , typisk realisert med ca. 0,7  $\mu\text{m}$  tykkelse, mens inverterens horisontale utstrekning vil ha de dimensjonene som er anført ovenfor i tilknytning til omtalen av MOSFET-strukturen på fig. 16.

- Aktive komponenter som MOSFET-strukturen vist på fig. 16, vil bli benyttet i den foreliggende oppfinnelse til å danne integrerte kretser, eksempelvis prosessorer i databehandlingsinnretningen i henhold til oppfinnelsen. Slike integrerte kretser dannes ved stabling av undersjikt med strukturer som har de ønskede elektriske egenskaper og helt ut er realisert i en organisk tynnfilmteknikk. Spesifikt er det følgende eksempel knyttet til en OG-port realisert i CMOS-teknikk, eksempelvis med bruk av transistorstrukturen som vist på fig. 16.

- For å lette forståelsen av hvordan aktive komponenter som felteffekttransistorer kombineres i undersjikt til funksjonelle komponenter som eksempelvis logiske porter, skal det henvises til fig. 18 som viser koblingsskjemaet for en OG-port realisert i komplementær MOS-teknologi (CMOS-teknologi). CMOS-OG-porten er realisert med henholdsvis NMOSFETer og PMOSFETer av anrikingstypen, som svitsjer. To inngangssignaler A og B er ført henholdsvis til grindelektrodene på PMOS  $Q_1$  og  $Q_2$  og grindelektroden på NMOS  $Q_3$  og  $Q_4$ . Dersom begge inngangssignaler 20 A og B er høye, vil utgangssignalet  $\bar{X}$  være lavt.  $Q_3$  og  $Q_4$  vil i dette tilfelle begge være på, og PMOS-bryterne  $Q_1$  og  $Q_2$  vil begge være av, dvs. at det ikke 25 går noen strøm og utgangssignalet  $\bar{X}$  blir derfor lavt. Hvis derimot enten begge inngangssignalalet A eller inngangssignalet B er lavt eller begge er lave, vil tilsvarende PMOS-transistor  $Q_1$  resp.  $Q_2$  slås på, og utgangssignalet  $\bar{X}$  blir høyt 30 da enten den ene eller begge av de seriekoblede NMOS  $Q_3$ ,  $Q_4$  er av og ingen strøm går. Komponentene  $Q_1$ ,  $Q_2$ ,  $Q_3$ ,  $Q_4$  danner som man vil se, en NOG-port, og for å realisere en OG-port er det nødvendig å forbinde utgangen fra NOG-porten med en logisk inverter som også er realisert i MOS-teknikk, henholdsvis med bruk av en PMOS-bryter  $Q_5$  og en NMOS-bryter  $Q_6$  koblet i parallel, jf. 35 fig. 17. Dette er en standard CMOS-inverter, og er dens inngangssignal  $\bar{X}$  høyt,

vil dens utgangssignal  $X$  være det inverterte av inngangssignalet  $\bar{X}$  og følgelig lavt. Omvendt vil et lavt inngangssignal  $\bar{X}$  inverteres til et høyt utgangssignal  $X$  og dette svarer til at inngangssignalene A og B til NOG-porten begge er høye. Med andre ord vil det være lett å innse at kretsen som vist på fig. 18, 5 realiserer en OG-port, og en fagmann vil skjonne at tilsvarende kan logiske ELLER- og NELLER-porter realiseres og med hvilket som helst antall innganger. I prinsippet kan imidlertid samtlige booleske funksjoner realiseres med kombinasjoner av en porttype og en eller flere invertere realisert i CMOS-teknikk, eksempelvis med bruk av transistorstrukturen som vist på fig. 16.

10 Rent praktisk lar OG-porten seg implementere i tynnfilmteknikk som vist på fig. 19a-19d og med bruk av MOSFET-strukturer tilsvarende den som er vist på fig. 16. Fig. 19a-19d viser OG-porten helt ut realisert i tynnfilmteknikk og med de aktive og passive komponenter anordnet i fire undersjikt SS<sub>1</sub>-SS<sub>4</sub>. Det første undersjiktet SS<sub>1</sub> (fig. 19a) rommer gridelektrodene g<sub>1</sub>-g<sub>6</sub> hvor indeksen viser til de tilsvarende indeksene for MOSFETene Q<sub>1</sub>-Q<sub>6</sub> på fig. 18. Inngangene A og B er ført til henholdsvis gridelektrodene g<sub>1</sub>, g<sub>3</sub> og g<sub>2</sub>, g<sub>4</sub> og over horisontale elektrisk ledende strukturer eller strømløp 27. Tilsvarende er gridelektrodene g<sub>5</sub>, g<sub>6</sub> i inverteren forbundet med et horisontalt strømløp 27. En vertikal elektrisk ledende struktur er betegnet med 28, idet symbolet  $\Delta$  angir at den strekker seg oppad i vertikal retning fra undersjiktet SS<sub>1</sub>. På fig. 19b er det likeledes med symbolene  $\Delta$  samt  $\nabla$  antydet at den vertikale lederstruktur 28 i sjiktet SS<sub>3</sub> strekker seg vertikalt gjennom dette sjiktet og på begge sider av det. Sjiktet SS<sub>3</sub> omfatter områder med aktive halvledermaterialer b<sub>1</sub>...b<sub>2</sub> som er tilordnet og registrerer med de tilsvarende gridelektroder g<sub>1</sub>-g<sub>6</sub> i undersjiktet SS<sub>1</sub>. - Det skal bemerkes at et undersjikt SS<sub>2</sub> utelukkende, bortsett fra den vertikale lederstruktur 28 som også strekker seg gjennom dette undersjiktet og på begge sider av det, består av dielektrisk materiale som utgjør en felles grindisolator for MOSFETene Q<sub>1</sub>-Q<sub>6</sub> som utgjør OG-porten. Undersjiktet SS<sub>2</sub> befinner seg selvfølgelig mellom SS<sub>1</sub> og SS<sub>3</sub>, men er utelatt på tegningen. - Sjiktet SS<sub>4</sub> (fig. 19c) er anordnet over og tilstøtende sjiktet SS<sub>3</sub> og omfatter henholdsvis kildelektrodene s<sub>1</sub>-s<sub>6</sub> og drenelektrodene d<sub>1</sub>-d<sub>6</sub> for de tilsvarende MOSFETene Q<sub>1</sub>-Q<sub>6</sub>. Det aktive halvledermaterialet b<sub>1</sub>-b<sub>6</sub> som befinner seg i undersjiktet SS<sub>3</sub>, er her antydet med stiplete linjer. Det vertikale strømløp 28 strekker seg også gjennom sjiktet SS<sub>4</sub> og på begge sider av dette og kontakterer et horisontalt strømløp 27 i undersjiktet SS<sub>5</sub> som vist på fig. 19d. Dette horisontale strømløp 27 svarer til forbindelsen mellom drenelektrodene d<sub>2</sub> og d<sub>3</sub> for de tilsvarende MOSFETene Q<sub>2</sub>, Q<sub>3</sub> og står dessuten

også i forbindelse med drenelektroden  $d_1$  på  $Q_1$ . Et annet horisontalt strømløp 27 utgjør seriekoblingen mellom kildeelektroden  $s_1$  på  $Q_3$  og drenelektroden  $d_4$  på  $Q_4$ . Kildeelektrodene  $s_4$  og  $s_6$  på henholdsvis  $Q_4$  og  $Q_6$  er koblet til jord via ytterligere horisontale ledersstrukturer 27, mens den horisontale ledersstruktur 27 lengst til høyre i undersjiktet SS<sub>5</sub> påtrykkes med spenningen  $V_{dd}$  og forbindes kildeelektrodene  $s_1$ ,  $s_2$ ,  $s_5$  på henholdsvis  $Q_1$ ,  $Q_2$  og  $Q_5$ . Et ytterligere horisontalt strømløp 27 øverst på fig. 19d danner parallelkkoblingen mellom drenelektrodene  $d_5$ ,  $d_6$  på  $Q_5$ ,  $Q_6$  samt utgangslinjen, betegnet med X. Det inverterte utgangssignal  $\bar{X}$  fra NOG-porten bestående av  $Q_1$ ,  $Q_2$ ,  $Q_3$ ,  $Q_4$  er ført på det vertikale strømløp 28. Fig. 20 viser skjematiske hvordan sjiktene på fig. 19 fremtrer i stablet konfigurasjon, idet undersjiktet SS<sub>2</sub> med grindisolatoren her er medtatt. For tydelighets skyld er imidlertid stabelen vist utspilt i sine enkelte undersjikt SS<sub>1</sub> - SS<sub>5</sub>, men med korrekt registrering og forløpet av den vertikale strømløp 28 gjennom samtlige undersjikt antydet ved den stiplete linje. Med grindelektrodesjiktet SS<sub>1</sub> anordnet på et underliggende, ikke vist dielektrisk sjikt, kan hele OG-strukturen som vist på fig. 20, ha en tykkelse på 0,75  $\mu\text{m}$  og et areal på ca. 100  $\mu\text{m}^2$  (12·8  $\mu\text{m}^2$ ). Strukturens volum vil dermed være ca. 75  $\mu\text{m}^3$ . Med konservativ romlig opplosning innebærer dette at ca. 10 000 logiske porter av denne art kan realiseres på et areal på 1  $\text{mm}^2$  og med en tykkelse godt under 1  $\mu\text{m}$ . Tilsvarende skalert utgjør lengden av strømløpene 27, 28 utgjør tilsammen ca. 60  $\mu\text{m}$ .

En reduksjon av strømløplengden og en betydelig forenkling av OG-portens struktur kan fås ved å stable MOSFET-strukturene vertikalt som vist på fig. 21. Igjen er det benyttet de samme henvisningstall som på fig. 19 og 20, og det vil ses at den vertikale OG-portstruktur utnytter det forhold at grindelektrodene  $g_1$  og  $g_3$  til transistorene  $Q_1$ ,  $Q_3$  befinner seg på samme felles potensial, grindelektrodene  $g_2$  og  $g_4$  i  $Q_2$ ,  $Q_4$  på et annet felles potensial og grindelektrodene  $g_5$  og  $g_6$  i  $Q_5$ ,  $Q_6$  på et tredje felles potensial. Følgelig er transistorene  $Q_1$  -  $Q_6$  implementert i en parvis rygg-mot-rygg-konfigurasjon ved felles grindelektroder  $g_1$ ,  $g_3$ ;  $g_2$ ,  $g_4$ ;  $g_5$ ,  $g_6$  for de tilsvarende MOSFET-strukturer  $Q_1$ ,  $Q_3$ ;  $Q_2$ ,  $Q_4$ ;  $Q_5$ ,  $Q_6$ . Hver av de parvis koblede MOSFET-strukturer er anordnet på et isolerende sjikt som på fig. 21 befinner seg under  $Q_3$ , mellom  $Q_1$  og  $Q_4$  og mellom  $Q_2$  og  $Q_5$  i hver av MOSFET-strukturene. Naturligvis er også grindelektrodene g isolert fra det aktive halvledermateriale b ved ikke nærmere betegnede isolasjonssjikt som utgjør de respektive grindisolatorer. De horisontale strømløp på figurene 19 og 20 er nå i alt vesentlig erstattet av vertikale strømløp som strekker seg gjennom sjiktene og

skaffer den samme kobling som vist på ekvivalentkretsen på fig. 18. Spesifikt er det strømløp 28 som også er realisert vertikalt i konfigurasjonen på fig. 20, vist, og det vil ses at det som før forbinder grindelektrodene  $g_5, g_6$  på  $Q_5, Q_6$  med koblingen mellom drenelektrodene  $d_2, d_3$  på  $Q_2, Q_3$  samt drenelektroden 5  $d_1$  på  $Q_1$ .

Den vertikale OG-portstruktur på fig. 21 er dannet med i alt 30 undersjikt, hvorav seks forholdsvis tykke isolerende sjikt utgjør grindisolatorene og tre tilsvarende tykke isolerende sjikt isolerer de parvise kombinasjoner av MOSFET-strukturene innbyrdes. Med de samme dimensjonene som antydet i 10 forbindelse med omtalen av fig. 20 vil således hele den stablede sjikt i konfigurasjon på fig. 21 ha en tykkelse på  $3,6 \mu\text{m}$  og være anordnet på et areal på  $16 \mu\text{m}^2$ . Også her kunne strømløpene til kilde- og drenelektrodene s,d være anordnet i samme sjikt som disse, og det totale volum av konfigurasjonen på fig. 21 blir dermed ca.  $50 \mu\text{m}^3$ , en reduksjon i volumet med  $1/3$  i forhold til 15 konfigurasjonen på fig. 20. Viktigst er det imidlertid at strømløpene som i konfigurasjonen på fig. 20 ut fra de antydede dimensjonene vil ha en lengde på  $52 \mu\text{m}$ , i konfigurasjonen på fig. 21 godt kan utgjøre mindre enn  $20 \mu\text{m}$  i en optimal utførelse, hvilket innebærer en reduksjon på godt over  $60\%$ . Det skal i 20 den forbindelse spesielt tas i betraktning at fig. 21 er skjematiske og at de vertikale strømløp er innbyrdes forskjøvet i horisontalplanet for å fremre tydligere. De kan imidlertid ligge sammen plan parallelt med en av strukturens sideflater.

Innenfor rammen av dagens tynnfilmteknologi og med bruk av teknikker som ovenfor omtalt for å frembringe elektrisk ledende og halvledende strukturer i 25 tynnsjikt ved bestråling av konvertible organiske materialer, er det fullt mulig å redusere de lineære dimensjonene i horisontalretningen, slik at komponenttettheten kan økes med minst én størrelsesorden. Dette impliserer at konfigurasjonen på fig. 20 vil kunne realisere  $10^5$  logiske porter av den viste art på  $1 \text{ mm}^2$  og med en sjiktkjikkelse på godt under  $1 \mu\text{m}$ , mens 30 konfigurasjonen på fig. 21 ville kunne realisere  $6 \cdot 10^5$  porter på samme areal med en noe bedre formfaktor, slik at økningen i komponenttettheten blir på ca. 35  $25\%$  i forhold til komponenttettheten til konfigurasjonen på fig. 20. En slik forbedring i komponenttettheten forutsetter som nevnt ikke annet enn en forbedring i arealtettheten med én størrelsesorden, og dette er sannsynligvis ingen øvre grense, da det med linjebredder i størrelsesorden  $0,2 \mu\text{m}$ , hvilket

synes oppnåelig med dagens teknikk, vil være mulig å øke arealtettheten med to størrelsesordener og dermed kunne anordne  $10^6$  logiske porter på 1 mm<sup>2</sup> stort sjikt med en tykkelse på ca. 0,5 µm

Databehandlingsinnretningen i henhold til den foreliggende oppfinnelsen vil 5 foretrukket være bygget opp i form av stablede lag på et krystallinsk halvledersubstrat, eksempelvis av silisium og med et derpå følgende sjikt realisert i en kompatibel, uorganisk halvlederteknologi. Dette første sjiktet kan 10 foretrukket være et prosessorsjikt P eller utgjøre et prosessorgrensesnitt eller kombinasjon av et prosessorsjikt og et prosessorgrensesnitt, idet det siste vil 15 kunne bidra til en styrt eller dynamisk konnektivitet av multiprosessornettverk realisert i en annen, eksempelvis organisk teknologi og anordnet i prosessorsjikt P eller kombinerte prosessor- og minnesjikt MP stablet over bunnsjiktet som er utført i konvensjonell uorganisk halvlederteknologi. Dermed 20 fåes det en hybrid uorganisk/organisk utførelse hvis arkitektur tillater høyhastighetsprosessorkretser kombinert med ytterligere prosessorer og minner basert på amorf og polykrystallinske materialer anordnet i stablede sjikt over 25 det uorganiske halvledersjikt. Hele databehandlingsinnretningen vil dermed fremstå som en hybrid og innbefatte konvensjonelle halvlederteknologier, eksempelvis basert på silisium, men også eventuelt på galliumarsenidteknologi og dessuten med ytterligere bruk av organiske materialer og tilhørende teknologi for dannelse av henholdsvis prosessor- og minnesjikt P,M,MP i slike 30 materialer med bruk av i og for seg kjente metoder for avsetning, mørstring og fysisk-kjemisk prosessering. Et viktig trekk ved denne hybride utførelse er at eksempelvis silisiumbasert kretser i substratet kan fremstilles i standard produksjonslinjer for silisiumteknologi uten fare for forurensning fra organiske 35 materialer. Sjiktene som er dannet av organiske materialer, kan påføres i påfølgende prosesstrinn på spesielle produksjonslinjer.

Selv om det i henhold til oppfinnelsen er foretrukket at forbindelsene mellom sjiktene, strømtiførsler og strømløp kan dannes ved fotokonvertering, dvs. 40 generering av ledende horisontale og vertikale strukturer i et initialt dielektrisk organisk sjiktmaterial, kunne naturligvis også de elektriske forbindelser dannes på mer tradisjonelle måter, eksempelvis ved hjelp av litografiske eller mekaniske teknikker, herunder etsing, stansing osv.

Rent produksjonsteknisk kan både i en hybrid uorganisk/organisk utførelse 45 eller en helorganisk utførelse sjiktene dannet av organisk materiale avsettes i stablet konfigurasjon etter at de ønskede operasjoner for dannelse av ledende

og halvledende strukturere er gjennomført. De enkelte sjikt og undersjikt kan eksempelvis genereres ved prosessering, f.eks. for fotokonversjon av tynnfilmer, i løpende bane, hvoretter sjiktene lamineres sammen for å danne den stablede struktur. Fotokonvertering kan også utføres på allerede stablede, 5 ikke-behandlede sjikt, men dette forutsetter at stabelen da omfatter sjikt hvor materialet i hvert sjikt er spektralselektivt, slik at det fotokonverteres bare ved bruk av stråling i et bølgelengdeområde spesifikt for det enkelte sjikt og forskjellig fra sjikt til sjikt. Fotokonverteringen må da starte med det nederste sjikt i stabelen. Imidlertid vil en slik fremgangsmåte begrense antallet sjikt som 10 kan stables.

Skjer prosesseringen av sjiktene separat i løpende baner, hvor hvert sjikt eller undersjikt på de forskjellige trinn i banen gjennomgår forskjellige prosessingsprosedyrer, kan undersjikt sammenføyes til hovedsjikt og hovedsjikt til den stablede struktur i så stort antall som det vil være praktisk mulig. Bruken av organiske materialer i sjiktene og fotokonverteringsprosesser tillater en langt enklere og billigere fremstilling enn hva tilfellet er med dagens organiske halvlederteknologi. Ved bruk av produksjon i løpende bane kan produksjonen finne sted med stort volum og i høy hastighet og uten vesentlige dimensjonelle begrensninger. Ved sammenføyningen av de enkelte undersjikt 15 til hovedsjikt og hovedsjiktene til en stablet konfigurasjon vil imidlertid registreringen mellom sjiktene være kritisk, blant annet for å sikre at vertikale ledende strukturer i de enkelte sjikt registrerer innbyrdes og at eksempelvis elektroder og aktivt halvledermaterialer i aktive halvlederkomponenter gjør det samme. Kravet til registreringsnøyaktighet vil være gitt av de linjebredder som 20 lar seg realisere ved fremstillingen av ledende og halvledende strukturer, men kan og praktisk løses ved bruk av eksempelvis interferometriske metoder eller med bruk av mekanisk eller elektrisk nanoteknologi. Produksjonsteknikkene som benyttes til å realisere databehandlingsinnretningen i henhold til oppfinnelsen faller imidlertid utenfor oppfinnelsens ramme, men en del 25 relevante teknikker vil finnes omtalt i de i søknaden anførte patentpublikasjoner og litteratursteder, hvortil det er henvist.

Databehandlingsinnretningen i henhold til oppfinnelsen eliminerer helt den ulempe at samtlige funksjoner som inneholder aktive komponenter, må kunne aksessere et substrat. Dette har dramatiske konsekvenser for de muligheter som 30 står åpne for konstruktøren, og databehandlingsinnretningen i henhold til oppfinnelsen vil derfor kunne implementere radikalt nye løsninger for databehandling med resulterende fordeler med hensyn til ytelse.

Således er databehandlingsinnretningen i henhold til oppfinnelsen i prinsippet ubegrenset skalerbar på det første nivå av funksjonshierarkiet, idet det i prinsippet ikke er noen grense for hvor mange prosessor- og minnesjikt P, M eller kombinasjoner MP av slike som kan benyttes. På det annet nivå av funksjonshierarkiet er skalerbarheten i samme grad ubegrenset, da databehandlingsinnretningen vil kunne realiseres med så mange prosessorer som er ønskelig, samtidig som bruken av sjikt i stablet konfigurasjon og vertikale elektrisk ledende strukturer muliggjør en optimal interkonnekjonsstropologi for et nettverk av prosessorer som skal arbeide i parallell. Tilsvarende har det på det annet nivå av funksjonshierarkiet også en ubegrenset skalerbarhet for de forskjellige minnetyper som inngår i lagringseenheten, og i prinsippet vil forskjellen mellom RAM og masselager bare være avhengig av hvordan adresseringen finner sted, idet det foretrukket til hver RAM vil være tilordnet en dedisert prosessor for å optimere aksessering av data og overføring av disse til sentralprosessorene. Igjen vil bruken av vertikale strømløp gi optimalt korte signalveier, og latensitetsproblemene som vil være tilstede ved bruk av kjent teknologi, vil i alt vesentlig være eliminert. Endelig vil databehandlingsinnretningen på et tredje nivå av funksjonshierarkiet tillate en optimal konfigurering av den enkelte minneenhet eller prosessor gjennom bruk av vertikale strukturer, hva enten disse er benyttet til å implementere prosessor- eller minnearkitekturen. Spesielt fås det på både det annet og tredje nivå av funksjonshierarkiet mulighet for skalerbar prosessering, enten ved at det på det annet nivå benyttes prosessorer som arbeider i parallell og er koblet med optimal interkonnettivitet i et nettverk som tillater implementering av en felles prosessor i tre dimensjoner, eller ved bruk av skalerbar arkitektur i den enkelte prosessor, f.eks. ved "superpipelining" i "pipeline"-prosessorer eller ved bruk av parallelle arkitekturen basert på replikasjon med prinsipielt ubegrenset skalering og optimal interkonnettivitet. Særlig vil databehandlingsinnretningen i henhold til oppfinnelsen gjøre det enkelt å benytte interfolierte minner, dvs. minnesjikt M interfoliert mellom prosessorsjikt P eller kombinerte minne- og prosessorsjikt MP med resulterende reduksjon av latensitet og økt ytelse. Dette innebærer at databehandlingsinnretningen i henhold til oppfinnelsen gir unike muligheter for å realisere alle slags MIMD-arkitekturen, dvs. datamaskinarkitekturen som benytter MIMD-prosessering (Multiple Instructions, Multiple Data).

Det skal nå gis en kort omtale av hvordan databehandlingsinnretningen kan benyttes til å realisere skalerbare MIMD-arkitekturen og hvordan et IRAM-konsept kan benyttes til å tolerere og skjule latensitet og dødtid som kan oppstå i en skalerbar databehandlingsinnretning.

5 Som ovenfor nevnt, har det i utgangspunktet skalerbarhet også på det tredje nivå av funksjonshierarkiet som implementerer spesifikke prosessor- eller minnearkitekturen. Når det gjelder minneenheten i databehandlingsinnretningen i henhold til oppfinnelsen er det ingen generisk forskjell mellom de enkelte minnetyper, da de er basert på fysisk sett samme prinsipp. Konfigureringen av  
10 minner i minneenheten på det annet nivå av funksjonshierarkiet vil være bestemmende for hvorvidt de respektive minner implementeres som RAM eller et masselagerminne. Forskjellen mellom RAM og et masselagerminne vil derfor være skala og den benyttede adresseringsmodus. I prinsippet kan imidlertid et RAM gjøres nærliggende ubegrenset stort, og typisk vil det i  
15 databehandlingsinnretningen i henhold til oppfinnelsen benyttes RAM som enkeltvis kan lagre fra 100 Mbyte til 1 Gbyte. Så store RAM innebærer at aksessering og adressering av data lagret i RAM vil kreve en stor del av prosessorkapasiteten, og med normalt lang aksesstid vil det allerede på dette trinn oppstå latensitsproblemer. Ved å implementere hvert RAM i  
20 databehandlingsinnretningen med en dedisert prosessor for aksessering og gjenfinning av data, kan prosessorene som utgjør sentralprosessorer eller CPU i prosesseringsenheten frigjøres for rene databehandlingsoppgaver og utelukkende benyttes til eksekvering av instruksjonsbaserte operasjoner. Et slikt opplegg realiserer et IRAM-konsept, hvilket skal omtales noe mer  
25 detaljert i det følgende.

Arkitekturen til prosessorer, i det følgende betegnet som CPU, i prosesseringsenheten ligge utenfor rammen av den foreliggende oppfinnelse, men det skal forstås at databehandlingsinnretningen på det tredje nivå av funksjonshierarkiet vil kunne realisere de fleste kjente former for CPU, herunder CPU basert på parallele arkitekturen. For den foreliggende oppfinnelses formål kan det være særlig hensiktsmessig å kombinere dataparallelisme og funksjonsparallelisme, f.eks. ved bruk av prosessorer som for dataparallelisme benytter en vektorarkitektur, mens funksjonsparallelismen samtidig realiseres ved bruk av en pipelinearkitektur.  
30 Skjematisk er dette vist på fig. 22 som samtidig også illustrerer begrepet parallelisme ved replikasjon. En rekke pipelines  $PL_1, PL_2, \dots, PL_m$  er hver sammensatt av eksekveringsenheter  $EU_1, EU_2, \dots$ . De forskjellige sett av  
35

inngangsdata  $D_{in}$  føres til hver enkelt pipeline og behandles i henhold til spesifikke instruksjoner I1, I2... i de respektive eksekveringsenheter EU1, EU2,... på hvert trinn i vedkommende pipeline PL, som avgir sett av utgangsdata  $D_{out}$ . Sett av inngangsdata lastes inn fortøpende, slik at etter 5 eksekveringen av instruksjon I1 i en eksekveringsenhet EU1 på det første trinn i en pipeline PL, går datasettet videre til neste eksekveringsenhet EU2 som eksekverer i henhold til instruksjon I2 osv. Samtidig leveres fortøpende nye datasett  $D_{in}$  til hver enkelt pipeline PL, som på den måten hver gjennomfører databehandlingsoperasjoner ikke ulikt en produksjonsprosess basert på 10 samlebåndteknikk. Prosessoren omfatter en stor mengde pipelines PL som alle arbeider i parallell. Dette innfører et nytt parallelitetsbegrep, nemlig replikasjon. I dette tilfellet er parallelisme også oppnådd ved replikasjon av funksjonelle enheter, nemlig pipelines PL som forefinnes i stort antall og arbeider i parallell. Det skal i den forbindelse bemerkes at det vil være av 15 betydning å unngå latensitet f.eks. på grunn av manglende parallelisme mellom funksjonelle enheter, i dette tilfellet pipelines, og dessuten på grunn av latensitet som oppstår ved prosessering av instruksjoner som er såkalt RAW-avhengig (Read After Write-avhengige). Denne formen for latensitet er iboende, og prosesseringshastigheten vil derfor oppnås ved massiv 20 parallelisme i form av replikasjon. Endelig skal det bemerkes at det fra et logisk synspunkt vil finnes forskjellige typer av pipelines, f.eks. for operasjoner på heltall eller flyttall eller for å eksekvere minneaksess eller lagring. Avhengig av den logiske type pipeline vil antall trinn i vedkommende pipeline variere og eksempelvis vil pipelines for behandling av 25 heltallinstruksjoner og logiske instruksjoner typisk omfatte fire til seks trinn, mens en pipeline for eksekvering av flyttaloperasjoner typisk vil ha et par trinn mer. Det kan også nevnes at det er kjent multifunksjonelle pipelines hvor alle typer instruksjoner, det være seg heltallsinstruksjoner, flyttallsinstruksjoner og logiske instruksjoner, behandles i den samme fysiske 30 pipeline, som når den omfatter mange trinn og eksekveringsenheter, dvs. 10-15 eller fler, betegnes som en superpipeline.

Det som for den foreliggende oppfinnelses formål er interessant, er at den sjiktvis utførelse av databehandlingsinnretningen tillater en realisering av mikroprosessorer med et stort antall pipelines i replikasjon implementert som vertikale strukturer, dvs. at hver pipeline strekker seg gjennom en rekke 35 undersjikt i vedkommende prosessorsjikt. De enkelte eksekveringsenheter EU innenfor hver pipeline PL kunne likeledes være bygget med hovedsakelige

vertikale strukturer, eksempelvis kan de omfatte logiske porter realisert noenlunde tilsvarende det som er vist på fig. 20.

- Realiseringen av forskjellige prosessorarkitekturen som kan være hensiktsmessig for bruk i den foreliggende oppfinnelse, faller som nevnt ikke innenfor rammen av oppfinnelsen, men det skal her bemerkes at det generelt på det tredje nivå av funksjonshierarkiet gis et nært sagt ubegrensete muligheter for å realisere en ønsket prosessorarkitektur, hva enten den er basert på dataparalleller eller funksjonsparalleller konsept eller med bruk av replikasjon og pipelines i kombinasjon.
- Spesielt er det en hensikt med den foreliggende oppfinnelse å kunne realisere en parallel arkitektur på tråd- eller prosesssnivå. Dette innebærer at databehandlingsinnretningen i henhold til oppfinnelsen realiseres som en MIMD-datamaskin. MIMD-datamaskiner er den mest generelle klasse av parallelldatamaskiner, da de tillater autonome operasjoner på et datasett ved hjelp av et sett av prosessorer uten noen som helst restriksjoner av arkitektonisk art. Både trådparallelisme og prosessparallelisme utgjør underklasser av funksjonell parallelisme, idet både tråder og prosesser kan ses som en sekvens av instruksjoner. Trådene dannes imidlertid i og tilhører prosessen. Samtlige tråder som frembringes innenfor en prosess, deler prosessens ressurser, spesielt adresserommet. Sagt med andre ord, har en prosesstrådmodell en mer finkornet fordelingsmodell enn prosessmodellen selv. Generelt anses MIMD-parallelldatamaskiner å representere fremtidens datateknologi, og dette synet har etter hvert blitt helt fremherskende i takt med fremskrittene innen integrert kretsteknologi som har gjort det mulig å fremstille mikroprosessorer som relativt enkelt og med lav kostnad kan forbindes til et multiprosessorsystem. I siste halvdel av 90-årene er det laget MIMD-datamaskiner i form av massivt parallele systemer med over ett tusen prosessorer. Disse systemene blir som regel kalt skalerbare parallelldatamaskiner. Databehandlingsinnretningen i henhold til den foreliggende oppfinnelse er godt egnet til å realisere slike skalerbare MIMD-parallelldatamaskiner, da skalering kan finne sted både på det første nivå av funksjonshierarkiet, dvs. at datamaskinen kan realiseres med et stort antall prosessorsjikt og et tilsvarende skalert antall minnesjikt, og på det annet nivå av funksjonshierarkiet som muliggjør en fordeling av minner og prosessorer med bruk av en nettverktopologi som gir optimal interkonnekтивitet. Det er da ingen nødvendig forutsetning at prosessorene selv realiseres med parallel arkitektur, f.eks. av den art som er omtalt ovenfor. MIMD-

datamaskinarkitekturer representerer en naturlig generalisering av von Neumann-maskin som i sin enkleste form består av en enkelt prosessor forbundet med en enkel minnemodul. Skal en von Neumann-maskin utvides til å omfatte flere prosessorer og minnemoduler, er det i utgangspunktet to alternativer. Det første alternativ består i å replisere prosessor/minnepar og forbinde dem i et koblingsnettverk som separate prosesseringselementer. Ingen av prosesseringselementene kan aksessere minnemodulen i et annet prosesseringselement direkte. Denne type MIMD-maskiner kalles MIMD-arkitekturer med desentralisert minnesystem eller meldingsleverende MIMD-arkitekturer og kan ha en struktur som vist på fig. 23, hvor PE betegner prosesseringselementer eller noder, MM minner og CPU prosessorer, idet samtlige noder PE<sub>0</sub>, ..., PE<sub>n</sub> er forbundet med et koblingsnettverk CN. Fig. 24 viser en mer praktisk organisering av prosesseringselementene PE i en tredje generasjons multidatamaskinorganisasjon, idet SW betegner svitsjeenheter og CP kommunikasjonsprosessorer. Selv om databehandlingsinnretningen i henhold til den foreliggende oppfinnelse kun er godt egnet til å realisere en slik arkitektur, for eksempel ved dannelsen av en mengde noder PE i kombinerte MP-sjikt og svitsjeenhettene SW realisert som vertikale strukturer som strekker seg gjennom MP-sjiktene, er ulempen ved denne arkitekturen at bare prosesseringselementene PE skalerer, slik at minner MM og prosessorer CPU ikke skalerer uavhengig av hverandre, hvilket for en rekke formål sterkt vil redusere fleksibiliteten til databehandlingsinnretningen.

Det annet alternativ er å danne et sett av prosessorer og minner, enten i separate prosessorsjikt P eller i separate minnesjikt M eller i kombinert prosessor- og minnesjikt MP. Hvilken som helst prosessor CPU skal kunne aksessere hvilken som helst minnemodul MM over et koblingsnettverk SN, slik dette er vist på fig. 25. Settet av minnemoduler MM<sub>0</sub>, MM<sub>1</sub>, ... definerer det globale adresserom som deles av samtlige prosessorer CPU<sub>0</sub>, CPU<sub>1</sub>, .... Parallelle arkitekturer av denne art kalles MIMD-datamaskiner med felles minnesystem og betegnes gjerne som multiprosessorsystemer, mens det har vært vanlig å kalle MIMD-arkitekturer med desentralisert minnesystem for multidatamaskiner. - I og med at også den sistnevnte type kan integreres på en databehandlingsinnretning i henhold til oppfinnelsen, vil den sistnevnte betegnelse imidlertid være mindre presis og bør kanskje helst reserveres for fysisk adskilte databehandlingsinnretninger forbundet i nettverk. - Koblingsnettverket i MIMD-arkitekturer kan alt etter topologien klassifiseres som statiske eller dynamiske nettverk. I statiske nettverk er svitsjeenhettene

permanent koblet og typisk realisert som direkte linjer eller forbindelser fra punkt til punkt. Vanligvis vil MIMD-arkitekturen med desentralisert minnesystem være basert på statiske nettverk, mens dynamiske nettverk hovedsakelig benyttes i multiprosessormaskiner, altså MIMD-arkitekturen med felles minnesystem. I MIMD-arkitekturen med desentralisert minnesystem vil nettverket hovedsakelig være beskjeftiget med å overføre fullstendige meldinger som kan ha enhver lengde, og meldingsoverførende protokoller er derfor av stor viktighet i slike systemer. I MIMD-arkitekturen med felles minnesystem karakteriserer korte, men hyppige minneaksesser vanlig bruk av nettverket. MIMD-arkitekturen med desentralisert minnesystem byr på spesielle problemer ved programmeringen, mens MIMD-arkitekturen med felles minne vanligvis er lettere å programmere, da det ikke er nødvendig å partisjonere koden eller data, og det heller ikke er nødvendig fysisk å flytte data når to eller flere prosesser kommuniserer. Ulempene ved en MIMD-arkitekturen med felles minnesystem er synkroniseringen og problemer med skalerbarheten på grunn av minnekonflikter, et problem som øker med antallet prosessorer. En tilsvarende skalering av minnekapasiteten, dvs. RAM-kapasiteten, har vist seg vanskelig på grunn av latensitetsproblemene og begrensningene i RAM-kapasitet generelt.

Da den databehandlingsinnretningen i henhold til foreliggende oppfinnelse muliggjør skalerbarhet på samtlige funksjonsnivåer, vil den være godt egnet til implementering av vanlige teknikker for å overvinne skalerbarhetsproblemet i MIMD-arkitekturen med felles minnesystem. For det første kan bruken av et koblingsnettverk som gir høy overføringsrate og lav latensitet, i høy grad bidra til å forbedre skalerbarheten. Videre har det vært foreslått at det felles minnesystem utvides med spesielle, små lokale minner, såkalte cacheminner, idet en prosedyre i svært mange tilfeller kan eksekveres bare ved å aksessere lokale data som inneholdes i et cacheminne i en prosessor (CPU). Uheldigvis er dette ikke alltid tilfelle, og i tillegg fås det et nytt problem, det såkalte cache-koherensproblemet som ytterligere begrenser ytteenheten til cacheminnebaserte systemer. I henhold til den foreliggende oppfinnelse kan dette best ivaretas ved mer eller mindre å gi avkall på lokale minner i den enkelte CPU og i stedet etablere et IRAM-konsept, hvor dediserte prosessorer er knyttet til hver IRAM og utelukkende benyttes til aksessering og gjenfinning av data under styring av en kontroll- og kommunikasjonsprosessor som kommuniserer med samtlige prosessorer, både CPUer og aksesseringsprosessorer, over en felles prosessorbuss. Den tilstrekkelige

5 kapasitet for kommunikasjon og ruting sikres på en fordelaktig måte igjen ved den sjiktvis oppbygging av databehandlingsinnretningen i henhold til oppfinnelsen, med bruk av både horisontale og vertikale elektrisk ledende strukturer som muliggjør en optimal interkonnettivitet. Dette skal drøftes noe  
10 mer detaljert i det følgende. Bruken av en kontroll- og kommunikasjonsprosessor, en felles prosessorbuss og et tilknyttet IRAM-system gjør det dessuten mulig å realisere en såkalt virtuelt felles minnesystem eller en desentralisert felles minnearkitektur. I en viss forstand representerer denne form for arkitektur en desentralisert minnesystem, men organisasjonen  
15 av minneadresserommet er fortsatt slik at de lokale minner, dvs. samtlige RAM som kan aksesseres, utgjør komponenter av et globalt adresserom, slik at hver eneste sentralprosessor i prosessorenheten kan aksessere de enkelte RAM og om nødvendig via prosessorbussen eventuelle lokale minner i hvilken som helst annen prosessor. Endelig skal det bemerkes at det er to grunnleggende problemer som må løses i ethvert skalerbart multiprosessorsystem, nemlig for  
20 det første evnen til å tolerere og skjule latensiteten ved fjernlasting og for det annet evnen til å tolerere og skjule dødtid på grunn av synkroniseringsfeil. Ved bruk av MIMD-arkitekturer med felles minnesystem i databehandlingsinnretningen i henhold til oppfinnelsen kan det første problemet  
25 på en enkel måte håndteres ved bruk av IRAM-konseptet og interfolierte prosessorsjikt og minnesjikt, eventuelt med bruk av felles prosessor- og minnesjikt og overføring av data styrt av en hurtig kontroll- og kommunikasjonsprosessor som er felles for nettverket. Andre løsninger på disse problemene har vært foreslått og benyttet i kjente datamaskiner, eksempelvis bruk av multitrådarkitekturer og hurtig kontekstsvitsjemekanismer som på en vellykket måte både kan løse latensitetsproblemet ved fjernlasting og latensitetproblemet ved synkronisering. Denne fremgangsmåten har ført til konstruksjonen av multitråddatamaskiner, som imidlertid ikke skal omtales nærmere her. Et ytterligere og også vesentlig problem ved skalerbare  
30 parallelldatamaskiner er effektiv håndtering av I/O-innretninger og I/O-prosesser. Dette problemet oppstår først og fremst når store datavolumer skal overføres mellom I/O-innretninger og fjerntliggende prosessorer.  
35 Ved databehandlingsanordningen i henhold til oppfinnelsen er det antatt at dette tildels uløste problem vil være mindre vesentlig på grunn av den nærsagt ubegrensete skaleringsmulighet på alle funksjonsnivåer. Overføring av store datavolumer vil hovedsakelig omfatte overføring av allerede prosesserte data til eksterne minner og periferiinnretninger, eksempelvis visningsenheter.

Realiseringen av en MIMD-arkitektur med felles minnesystem innebærer at uansett antall minnemoduler som benyttes og uansett hvordan disse minnemodulene er forbundet med prosessorene, blir adresserommene til samtlige minnemoduler forenet til et globalt adresserom som til enhver tid står til rådighet for samtlige CPUer i systemet. Koblingsnettverket for CPUer og minner må derfor realiseres som et dynamisk nettverk slik at det kan fås en temporær kobling av mellom samtlige CPUer eller mellom hvilken som helst CPU og en RAM. Rent praktisk kan dette best oppnås ved å bruke et tredimensjonalt multippelbuss-system som tillater at RAM i minneenhetsRAM-modul kan fordeles på en lang rekke måter, f.eks. i interfolierte  
10 minnesjikt M eller kombinerte minne- og prosessorsjikt MP, idet hvert minne er realisert som en IRAM og via sin dediserte prosessor forbundet til en buss. Samtige RAM-busser styres da av den felles kontroll- og  
15 kommunikasjonsprosessor. Ved bruk av cacheminner har det vist seg vanskelig å opprettholde cacheminnekohären med bruk av tredimensjonale multippelbussystemer, men IRAM-konseptet innebærer at det kan gis avkall på lokale og til den enkelte CPU dediserte minner, samtidig som latensitetsproblemene forbundet med fjernlasting mer eller mindre elimineres eller skjules. Da  
20 databehandlingsinnretningen i henhold til den foreliggende oppfinnelse gjør det mulig å fysisk realisere tredimensjonale buss- og nettverkstopologier, vil det være mulig å realisere dynamiske koblingsnettverk med optimal  
interkonnektivitet. I prinsippet kan nå et meget stort antall prosessorer samtlige  
25 forbindes dynamisk med hverandre. Avhengig av databehandlingsinnretningens fysiske størrelse, kunne det med en passende skalering av RAM-kapasiteten implementeres en prosesseringsenhet med flere titalls prosessorer som kan  
30 kobles dynamisk med fullstendig konnektivitet. Dette er kanskje ikke et imponerende tall sammenlignet med superdatamaskiner av typen Cray som er implementert med flere tusen prosessorer, men da skal man ta i betrakning den fysiske størrelse av datamaskinen i henhold til den foreliggende oppfinnelse, som i utgangspunktet er tenkt implementert med en formfaktor tilsvarende en  
35 av spesifikasjonene for PCMCIA-kort og derved muligheten av å kunne operere med prosesseringshastigheter på 1 TFLOPS eller mer.

Det er ventet at de tre hovedtyper av MIMD-arkitekturer i en fjerde generasjon av datamaskiner mer eller mindre vil konvergere. En fjerdegenerasjons datamaskin vil derfor omfatte konsepter hentet både fra datamaskiner med desentralisert minnesystem, datamaskiner med felles minnesystem og multitråddatamaskiner. Mer spesielt er det ventet at den vil kunne kombinere

multitrådprosessorer med bruk av ruter, cacheminner og katalog. Ved databehandlingsinnretningen i henhold til foreliggende oppfinnelse vil den fysiske realisering av minneenhets RAM på med bruk av et IRAM-konsept og interfolierte prosessor- og minnesjikt, eventuelt kombinerte prosessor- og minnesjikt, og utstrakt bruk av tredimensjonale strukturer for kommunikasjon og realisering av komponenter helt kunne eliminere bruken av cacheminner og det derav resulterende cache-koherensproblem uten at det vil oppstå latensitetsproblemer. Derimot er det tenkbart at funksjonenhetene i den enkelte CPU kunne realiseres med lokale, dediserte minner, f.eks. fysisk realisert som integrerte data- og instruksjonsbuffere i hver funksjonenhet for å øke prosesseringshastigheten.

Som allerede nevnt, kan det i databehandlingsinnretningen i henhold til foreliggende oppfinnelse benyttes et IRAM-konsept, fortrinnsvis slik at det til hver enkelt RAM er tilordnet en dedisert prosessor forbundet med vedkommende RAM og hvis eneste oppgave er aksessering og gjenfinning av data i denne, mens CPUene i prosesseringsenheterne helt frigjøres for utelukkende å ta hånd om eksekveringen av logiske og aritmetiske operasjoner. En prinsipiell realisering av et kombinert IRAM- og CPU-opplegg er vist på fig. 26 som utspilt i de enkelte sjikt viser en prosessor/IRAM-modul i databehandlingsinnretningen i henhold til oppfinnelsen. Det skal forståes at den her viste utførelse hovedsakelig svarer til konfigurasjoner på funksjonshierarkiets første og andre nivåer. På fig. 26 utgjør det nederste sjikt substratet S og omfatter prosessorgrensesnittet 3 som her er vist realisert som en kombinert kontroll- og kommunikasjonsprosessor 30. Kontroll- og kommunikasjonsprosessoren 30 er over prosessorbussen 4 forbundet med en I/O-krets 31 som igjen er forbundet med I/O-grensesnittet 8 for å muliggjøre kommunikasjon med eksterne innretninger og periferiutstyr. Signallinjer 33 forbinder også kontroll- og kommunikasjonsprosessoren 30 med I/O-kretsen 31. En ytterligere krets 32 er anordnet på substratet S og likeledes forbundet med kontroll- og kommunikasjonsprosessoren 30 over prosessorbussen 4. Denne ytterligere krets 32 kan alt etter behov være implementert som en spesialkrets, eksempelvis i form av en programmerbar kodek. Symbolet  $\Delta$  på kontroll- og kommunikasjonskretsen 30 angir at prosessorbussen 4 er ført videre som en vertikal buss til det over substratet S anordnede første prosessorsjikt P<sub>1</sub>, hvor prosessorbussen 4 forgrener seg i horisontale busser som forbinder i sjiktet P<sub>1</sub> anordnede mikroprosessorer eller CPUer 5 innbyrdes og med kontroll- og kommunikasjonsprosessoren 30. Dette gjør at

mikroprosessorene 5, som her er vist i et antall av 4, men som på ingen måte behøver å være begrenset til dette antall, kan arbeide i parallell. Over det første prosessorsjikt P<sub>1</sub> er det tilstøtende anordnet et annet prosessorsjikt P<sub>2</sub> som er forbundet med sjiktet P<sub>1</sub> via prosessorbussen 4. I prosessorsjiktet P<sub>2</sub> er det 5 anordnet et antall dediserte prosessorer 34 som er innrettet til å aksessere en rekke RAM 6 anordnet i et minnesjikt M, som vist på fig. 26. Dette skjer via minne/prosessorgrensesnitt 7 som er anordnet i et separat, ikke nærmere betegnet sjikt interfoliert mellom prosessorsjiktet P<sub>2</sub> og minnesjiktet M. Hver 10 IRAM-prosessor 34 er over det respektive tilordnede grensesnitt 7 forbundet med et RAM 6 i minnesjiktet M og tjener utelukkende til aksessering og gjenfinning av data i den entydig tilordnede RAM og for videreføring av de 15 gjenfunne data på prosessorbussen 4 til mikroprosessorene 5 for prosessering deri. I den forbindelse skal det forstås at prosessorbussen 4, som her er tenkt konfigurert som en tredimensjonal prosessorbuss, kan være implementert med her ikke viste svitsjer og multipleksere.

Prosessorsjiktene P<sub>1</sub> og P<sub>2</sub> realiserer en prosessormodul og prosessorsjiktet P<sub>2</sub>, 20 det interfolierte sjikt med grensesnittene 7 og RAM-sjiktet M realiserer en IRAM-modul i databehandlingsinnretningen i henhold til oppfinnelsen. Det skal naturligvis forstås at antall IRAM-prosessorer 7 og tilordnede RAM 6 som vist på figuren, ikke behøver å være begrenset til åtte henholdsvis, men kan omfatte et større og mindre antall av hver. Videre kan hver RAM 6 omfatte en minneport med en bredde på eksempelvis minst 1 Kb eller bestå av flere minnegrupper med egne, like brede minneporter. I prinsippet vil minnebåndbredden skaffet av IRAM-modulen være produktet av antall minneporter, portbredden og portfrekvensen. Prosessorbussen 4 forbinder i 25 prosessorsjiktet P<sub>2</sub> IRAM-prosessorene innbyrdes over horisontale busser, mens forbindelsen mellom IRAM-prosessorene 34 via grensesnittene 7 til RAM 6 godt kan være dannet som vertikale elektrisk ledende strukturer i sjiktene P<sub>2</sub>-M som utgjør IRAM-modulen i databehandlingsinnretningen i 30 henhold til oppfinnelsen. I sjiktet M er dessuten hver RAM 6 forbundet innbyrdes over en horizontal minnebuss 37 og dessuten via vertikale minnebusser 2 som fører til et ikke vist minnegrensesnitt 1, jf. fig. 5. Minnegrensesnittet 1 skaffer forbindelse til ytterligere, her ikke viste minner som er anordnet i ytterligere, ikke viste minnesjikt som eksempelvis kan 35 realisere et masselager i lagringsenheten i databehandlingsinnretningen i henhold til oppfinnelsen. Dette minnegrensesnitt 1 har forøvrig et eget I/O-grensesnitt 9 for lasting av data direkte til lagringsenheten, slik det er vist på

nevnte fig. 5. Også prosessorbussen 4 står i forbindelse med minnegrensesnittet 9 via en vertikal buss, antydet ved 36 på figuren.

Ytterligere antyder rombeformede symboler 35 i de enkelte sjikt hvordan prosessorbussen 4 her danner en vertikal struktur som strekker seg vertikalt gjennom det angeldende sjikt.

Utførelsen på fig. 26 viser et eksempel på replikasjon på det annet nivå av funksjonshierarkiet, nemlig en multiprosessorløsning for å implementere en MIMD-arkitektur med felles minnesystem, som omtalt ovenfor og prinsipielt vist på fig. 25. Via kontroll- og kommunikasjonsprosessoren 30 kan samtlige prosessorer 5, 34 kobles innbyrdes, slik at det fås full konnektivitet. Hver mikroprosessor eller CPU i prosessorsjiktet  $P_1$  kan fritt svitsjes mellom IRAM-prosessorene 34 for aksessering og gjenfinning av data i RAM 6. Samtlige RAM 6 i minnesjiktet M utgjør således det globale adresserom for hver mikroprosessor 5 i prosessorsjiktet  $P_1$ . En utstrakt bruk av vertikale, elektriske ledende strukturer i de vertikale avsnitt av prosessorbussen 4 og grensesnittene 7 vil ytterligere bidra til å redusere latensiteten.

Utførelsen av databehandlingsinnretningen vist på fig. 26 kan være tilpasset et kortformat eller underlagt andre hensiktsmessige formfaktorer. Substratet 5 kan fortrinnsvis være utført i silisium og komponentene dannet i en konvensjonell, uorganisk halvlederteknologi som sammen med prosessor- og minnesjikt realisert helt i organiske materialer, f.eks. polymerer, impliserer en hybrid uorganisk/organisk konstruksjonsløsning, men databehandlingsinnretningen kunne også helt være realisert med organiske materialer. Med bruk av egnede formfaktorer kunne et silisiumsubstrat erstattes av et eller flere silisiumpaneler anordnet langs respektive sidekanter av den sjiktvis stablede konfigurasjon. Kretser og komponenter realisert i uorganisk halvlederteknologi kunne være anordnet i sidepanelene og være forbundet med de elektrisk ledende strukturer sjiktene via elektrisk kantforbindelser i minst ett, men fortrinnsvis flere av sjiktene.

Som vist i de ovenfor omtalte eksempler på foretrukkede utførelsесformer kan databehandlingsinnretningen for praktiske applikasjoner forbindes med I/O-utstyr og eksterne og perifere innretninger, f.eks. tastaturer, konvensjonelle minner som CD-ROM, og platelagre eller visningsenheter. Det er imidlertid ingenting i veien for at databehandlingsinnretningen i henhold til oppfinnelsen kan utføres med f.eks. innebygget visningsenhet (display). Er databehandlingsinnretningen utført i et kortformat, kan da displayet være

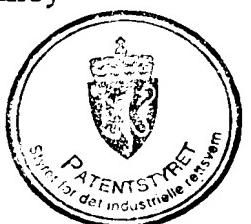
anordnet i et sjikt på toppen av kortet og motsatt substratet og realisert i en helorganisk teknologi. Et slike display vil la seg implementere med teknologien vist på og omtalt i tilknytning til fig. 8-10. Det enkelte piksel i displayet ville i såfall svare til funksjonselementet 17 i elektrodeanordningen på fig. 8a-c, som for dette formål realiseres som en lysemitterende komponent. I den forbindelse skal det igjen vises til den ovenfor anførte NO patentsøknad 973390.

Databehandlingsinnretningen i henhold til oppfinnelsen kan drives med en ekstra strømforsyning og vil da være utført med ikke viste kontaktorganer og drivorganer, eksempelvis anordnet i tilknytning til substratet. Det er imidlertid ingenting i veien for å benytte en egen, separat eller innebygget strømforsyning, f.eks. i form av et tynt, plant batteri som ved bruk av kortformatet kunne plasseres i en egen strømforsyningsmodul, f.eks. på undersiden av substratet S.

Da databehandlingsinnretningen i henhold til oppfinnelsen også er fullstendig skalerbar på det annet nivå av funksjonshierarkiet, er det i realiteten ingen begrensning av hvor mange CPU 5 og RAM 6 som kan anordnes. Det skal imidlertid forstås at det ikke er nødvendigvis noen en-til-en-korresponanse med RAM og CPU, idet data kan hentes til CPU 5 fra hvilket som helst RAM 6 i RAM-sjiktet. Samtidig realiserer de dediserte prosessorer 34 for RAM-aksessering et IRAM-konsept, og her vil det naturligvis være en-til-en-korresponanse mellom RAM 6 og aksesseringsprosessorer 34.

Det skalerbare konsept som ligger til grunn for databehandlingsinnretningen i henhold til oppfinnelsen kan sammenstilles med de parametre som er gitt i innledningen i tilknytning til omtalen av foreslalte IRAM-systemer. Forutsettes det eksempelvis at databehandlingsinnretningen i henhold til oppfinnelsen er realisert med en formfaktor tilsvarende et PCMCIA-kort, dvs. av kredittkortstørrelse med en tykkelse som for PCMCIA type I er 3,3 mm, for type II 5 mm og for type III 10,5 mm, vil det være mulig å implementere RAM med Gbyte-kapasitet og masselager med Tbyte-kapasitet. På det første nivå av funksjonshierarkiet vil det i en slik kortkonfigurasjon da kunne realiseres fra ca. ett tusen til flere tusen prosessor- og minnesjikt P, M, MP og med intelligente RAM (IRAM) i et stort antall for parallellesessering. I prinsippet kan hver enkelt prosessor eller til og med dens eksekveringsenheter dynamisk tilordnes RAM direkte. Dannelse av såkalte virtuelle, desentraliserte minnesystemer vil gi hver enkelt CPU et virtuelt lokalt adresserom og dermed kunne kombinere fordelene til MIMD-arkitekturen med desentralisert minnesystem og MIMD-arkitekturen med felles minnesystem og gi et

- konfliktfritt globalt, fysisk adresserom. Implikasjonen er at det enkelt vil kunne  
 la seg realisere minnebåndbredder i området flere Tbyte/s. Samtidig vil  
 kombinasjonen av data- og funksjonsparallelle CPU-arkitekturen, f.eks. med  
 bruk av ca.  $10^5$  parallelle flyttallpipelines gi en teoretisk prosesseringshastighet  
 på rundt 1 TFLOPS. Minnekapasiteten ved den foreliggende oppfinnelse har i  
 hvertfall ingen begrensning, idet RAM-kapasiteten skalerer med  
 prosessorkapasiteten og fortsatt med bibehold av en optimal interkonnektivitet  
 takket være den ubegrensede mulighet til å kombinere vertikal og horisontal  
 strukturer i stablede sjikt. Databehandlingsinnretningen i henhold til  
 oppfinnelsen, konfigurert eksempelvis som en PCMCIA-kort av type I, vil med  
 et masselager på 1000 stablede sjikt, et areal på  $100 \text{ mm}^2$  i hvert sjikt og en  
 lagringstetthet på  $10^7 \text{ bit/mm}^2$  kunne lagre  $1,25 \cdot 10^{12}$  byte (1,25 Tbyte), hvilket  
 eksempelvis svarer til  $10^6$  vanlige bøker à 250 sider. Benyttes det en  
 datakompresjonsteknikk, f.eks. av den art som er kommersialisert av FAST og  
 utviklet av firmaet Fast Search & Transfer AS, Oslo, et datterselskap av  
 søkeren, vil det eksempelvis i databehandlingsinnretningen i henhold til  
 oppfinnelsen kunne lagres mer enn 1500 helaftens spillefilmer komprimert fra  
 et standard videoformat for senere dekoding og visning.
- Det skal imidlertid bemerkes at databehandlingsinnretningen i henhold til  
 oppfinnelsen på ingen måte må realiseres som er PCMCIA-kort. Tvert imot  
 kan den gis enhver for et formål egnet formfaktor og eksempelvis være  
 realisert som fleksible tynne plater eller bånd av hvilken utstrekning, men  
 eventuelt med færre sjikt, eller helt i organiske materialer uten bruk av noen  
 hybridløsning.
- For å oppsummere, skaffer databehandlingsinnretningen i henhold til  
 foreliggende oppfinnelse, fremfor alt realisert i et standard kortformat som  
 PCMCIA, den første virkelige personlige datamaskin med full portabilitet og  
 som etter valg kan knyttes opp mot egnede perifere enheter så som  
 visningsinnretninger, tastaturer og skrivere hvor det måtte være og med en  
 kapasitet med hensyn til prosessorytelse og aksesstid som langt overstiger alle  
 kjente datamaskiner, herunder også de såkalte superdatamaskiner. Da heller  
 ikke produksjonskostnaden for en databehandlingsinnretning i henhold til  
 oppfinnelsen på noen måte er prohibitiv, det er tvert imot ventet at prisen vil  
 ligge langt under selv dagens rimelige PCer, vil den representer et  
 paradigmeskifte i forhold til dagens konsepsjon av data teknologien og tilby  
 nært sagt ubegrensede muligheter for databehandling til og med i en  
 individualiserende og helt personlig kontekst.



## PATENTKRAV

1. Skalerbar, integrert databehandlingsinnretning, spesielt en mikrodatamaskin, omfattende en prosesseringsenhet, hvor prosesseringsenheten omfatter én eller flere prosessorer og en lagringsenhet, hvor lagringsenheten omfatter ett eller flere minner, og hvor databehandlingsinnretningen er anordnet på et bærende substrat (S), karakterisert ved  
5 at databehandlingsinnretningen omfatter innbyrdes tilstøtende, hovedsakelig parallelle, stablede sjikt (P, M, MP),
- 10 at prosesseringsenheten og lagringsenheten er anordnet i ett eller flere sjikt, idet de enkelte sjikt er dannet med valgte antall prosessorer og minner i valgte kombinasjoner,  
at hvert sjikt omfatter i eller på sjiktet horisontale elektrisk ledende strukturer som utgjør elektrisk interne forbindelser i sjiktet, og
- 15 at hvert sjikt omfatter ytterligere elektriske strukturer som skaffer elektrisk forbindelse til andre sjikt og til databehandlingsinnretningens ytterside.
2. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, karakterisert ved at et eller flere sjikt er realisert i form av en rekke undersjikt i en teknologi som på et første nivå av et funksjonshierarki  
20 konfigurerer funksjonelt ett eller flere sjikt som et kombinert prosessor- og minnesjikt (MP), eller ett eller flere sjikt hovedsakelig som prosessorsjikt (P) og ett eller flere sjikt hovedsakelig som minnesjikt (M).
3. Skalerbar, integrert databehandlingsinnretning i henhold til krav 2, karakterisert ved at prosesseringsenheten i et sjikt (P, MP) er  
25 konfigurert funksjonelt på et annet nivå av funksjonshierarkiet som en eller flere prosessorer (5) eller deler av en eller flere prosessorer (5), idet minst én prosessor utgjør en sentralprosessor eller mikroprosessor (5) i databehandlingsinnretningen, og eventuelle ytterligere prosessorer etter valg er konfigurert som henholdsvis kontroll- og/eller kommunikasjonsprosessorer.
- 30 4. Skalerbar, integrert databehandlingsinnretning i henhold til krav 3, karakterisert ved at sentralprosessoren (5) er konfigurert funksjonelt på et tredje nivå av funksjonshierarkiet som en parallelprosessor med flere parallelt arbeidende eksekveringsenheter anordnet i et og samme sjikt (P, M, P)

- eller i to eller flere sjikt (P, MP) eller i undersjikt av disse sjikt for å skaffe en optimal interkonnekstonstopologi.
5. Skalerbar, integrert databehandlingsinnrenting i henhold til krav 3, hvor det er anordnet mer enn en sentralprosessor,
- 5 10 15 20 25 30 karakterisert ved at hver sentralprosessor (5) er innbyrdes koblet og innrettet til å arbeide i parallel og anordnet i et og samme sjikt (P, MP) eller i to eller flere sjikt (P, MP) for å skaffe en optimal interkonnekstonstopologi.
6. Skalerbar, integrert databehandlingsinnretning i henhold til krav 3, karakterisert ved at lagringenheten i et sjikt (M, MP) er konfigurert funksjonelt på det annet nivå i funksjonshierarkiet som ett eller flere minner eller deler av ett eller flere minner, idet minst ett minne utgjør et RAM (6) og er forbundet med minst en sentralprosessor eller mikroprosessor (5), og eventuelle ytterligere minner etter valg er konfigurert som henholdsvis hurtigminner, ROM, WORM og ERASABLE.
7. Skalerbar, integrert databehandlingsinnretning i henhold til krav 6, karakterisert ved at det til en sentralprosessor er forbundet to eller flere RAM (6) som henholdsvis er tilordnet to eller flere underenheter i sentralprosessoren (5), idet RAM (6) og underenheter kan være fordelt i valgte kombinasjoner i ett eller flere sjikt (P, M, MP) for å skaffe en optimal interkonnekstonstopologi.
8. Skalerbar, integrert databehandlingsinnretning i henhold til krav 6, hvor det er anordnet to eller flere sentralprosessorer (5) som er forbundet med ett eller flere felles RAM (6), idet hver sentralprosessor kan være anordnet i innbyrdes tilstøtende sjikt (P, MP) eller fordelt i valgte kombinasjoner mellom to eller flere sjikt (P, MP) og det eller de felles RAM anordnet i valgte kombinasjoner i ett eller flere av sentralprosessorsjiktene (P, MP) og/eller i ett eller flere til sentralprosessorsjiktene tilstøtende eller mellom de sistnevnte interfolierte minnesjikt (M) for å skaffe en optimal interkonnekstonstopologi.
9. Skalerbar, integrert databehandlingsinnretning i henhold til krav 6, karakterisert ved at minst en del av lagringenheten utgjør et masselager, idet masselageret etter valg kan være konfigurert som RAM, ROM, WORM eller ERASABLE eller kombinasjoner av disse.

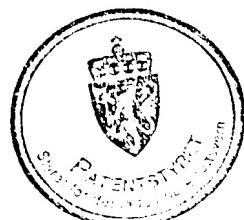
10. Skalerbar, integrert databehandlingsinnretning i henhold til krav 2, hvor databehandlingsinnretningen omfatter flere prosessorsjikt (P) og flere minnesjikt (M),  
 karakterisert ved at minnesjiktene (M) for å redusere signalveiene mellom seg og prosessorsjiktene (P), er interfoliert mellom de sistnevnte.
- 5 11. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, karakterisert ved at de ytterligere elektriske strukturer i et sjikt (P, M, MP) er anordnet på minst en sidekant av sjiktet som en elektrisk kantforbindelse.
- 10 12. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, karakterisert ved at de ytterligere elektrisk ledende strukturer i et sjikt (P, M, MP) er anordnet som vertikalt ledende strukturer som danner en elektrisk forbindelse i sjiktets tverretning og perpendikulært på dets plan for å kontaktere elektrisk ledende strukturer i andre sjikt.
- 15 13. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, karakterisert ved at et eller flere sjikt (P, M, MP) er dannet av organisk tynnfilmmateriale, idet det eller de organiske tynnfilmmaterialer er valgt blant monomere, oligomere og polymere organisk materialer og metallorganiske kompleksler eller kombinasjoner av slike materialer.
- 20 14. Skalerbar, integrert databehandlingsinnretning i henhold til krav 13, karakterisert ved at samtlige sjikt (P, M, MP) er dannet av organisk tynnfilmmateriale.
- 25 15. Skalerbar, integrert databehandlingsinnretning i henhold til krav 1, karakterisert ved at ett eller flere sjikt (P, M, MP) er dannet av uorganisk tynnfilmmateriale, idet det eller de uorganiske tynnfilmmaterialer er valgt blant krystallinske, polykrystallinske og amorf tynnfilmmaterialer eller kombinasjoner av slike materialer.
- 30 16. Skalerbar, integrert databehandlingsinnretning i henhold til krav 13 eller 14, karakterisert ved at ett eller flere sjikt (P, M, MP) er dannet av både organisk og uorganisk tynnfilmmaterialer, eller kombinasjoner av slike materialer.



## SAMMENDRAG

- En skalerbar, integrert databehandlingsinnretning, spesielt en mikrodatamaskin, omfatter en prosesseringsenhet med en eller flere prosessorer og en lagringseenhet med ett eller flere minner.
- 5 Databehandlingsinnretningen er anordnet på et bærende substrat (S) og omfatter innbyrdes tilstøtende, hovedsakelig parallelle sjikt (P, M, MP) stablet opp på hverandre, idet prosesseringsenheten og lagringseenheten er anordnet i ett eller flere slike sjikt og de enkelte sjikt dannet med valgte antall prosessorer og minner i valgte kombinasjoner. I hvert sjikt er det anordnet horisontale elektriske ledende strukturer som utgjør elektrisk interne
- 10 forbindelser i sjiktet og dessuten omfatter hvert sjikt ytterligere elektrisk ledende strukturer som skaffer elektrisk forbindelser til andre sjikt og til databehandlingens ytterside. Den integrerte databehandlingsinnretning har en skalerbar arkitektur, slik at den i prinsippet kan konfigureres med nær sagt ubegrenset prosessor- og minnekapasitet. Spesielt kan databehandlings-
- 15 innretningen implementere forskjellige former for skalarbare, parallelle arkitekturen integrert med optimal interkonnektivitet i tre dimensjoner.
- 20
- 25

(Fig. 6)



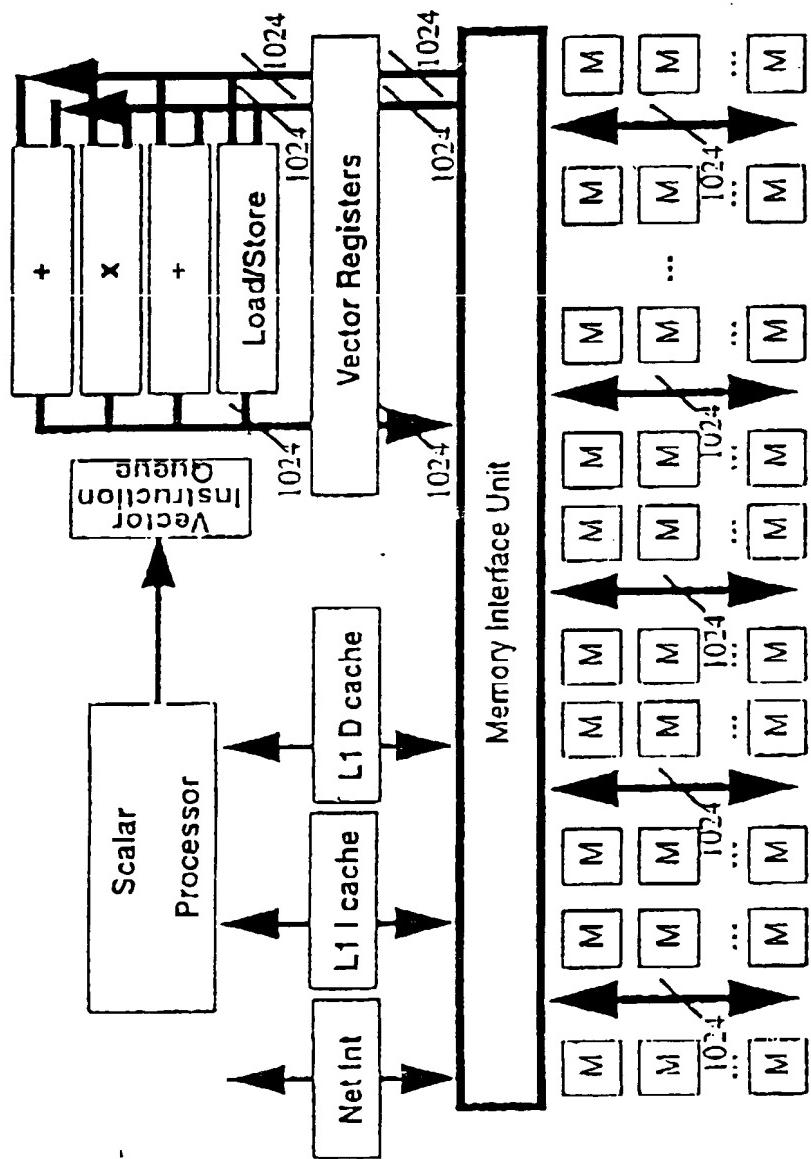
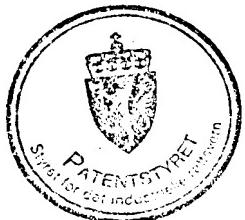


Fig. 1



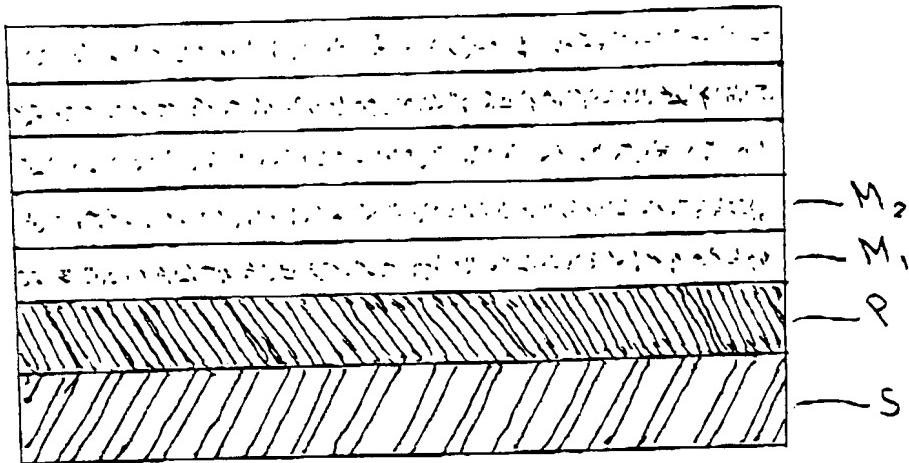


Fig. 2

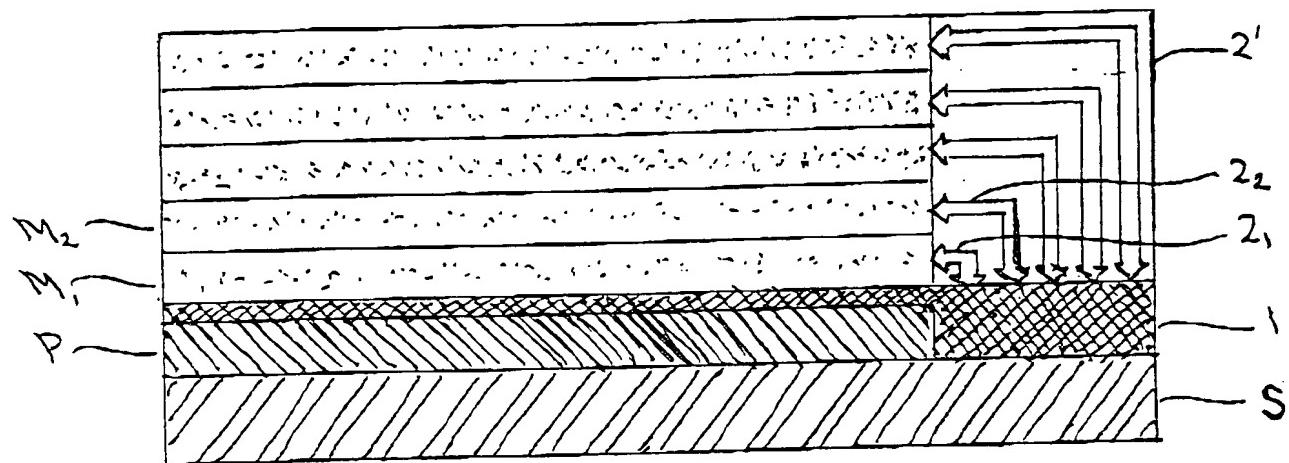


Fig. 3

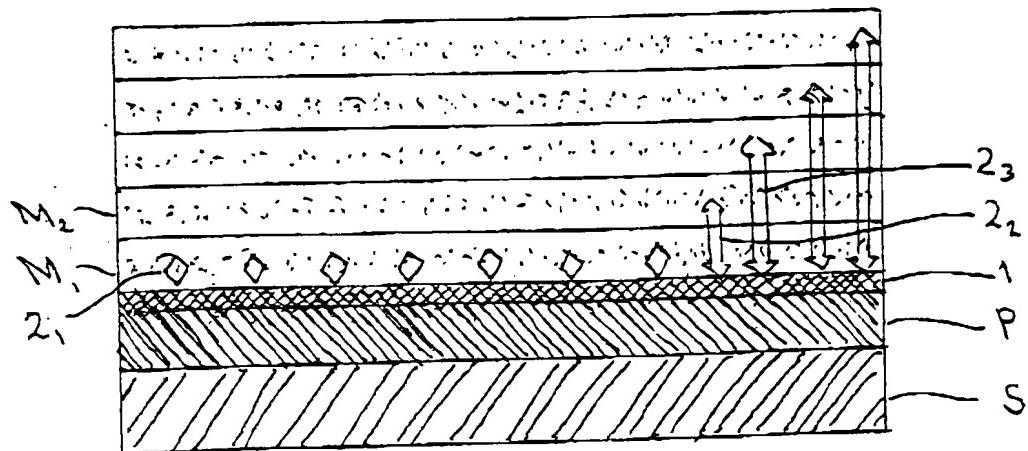
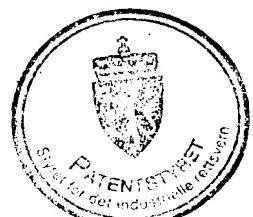


Fig. 4



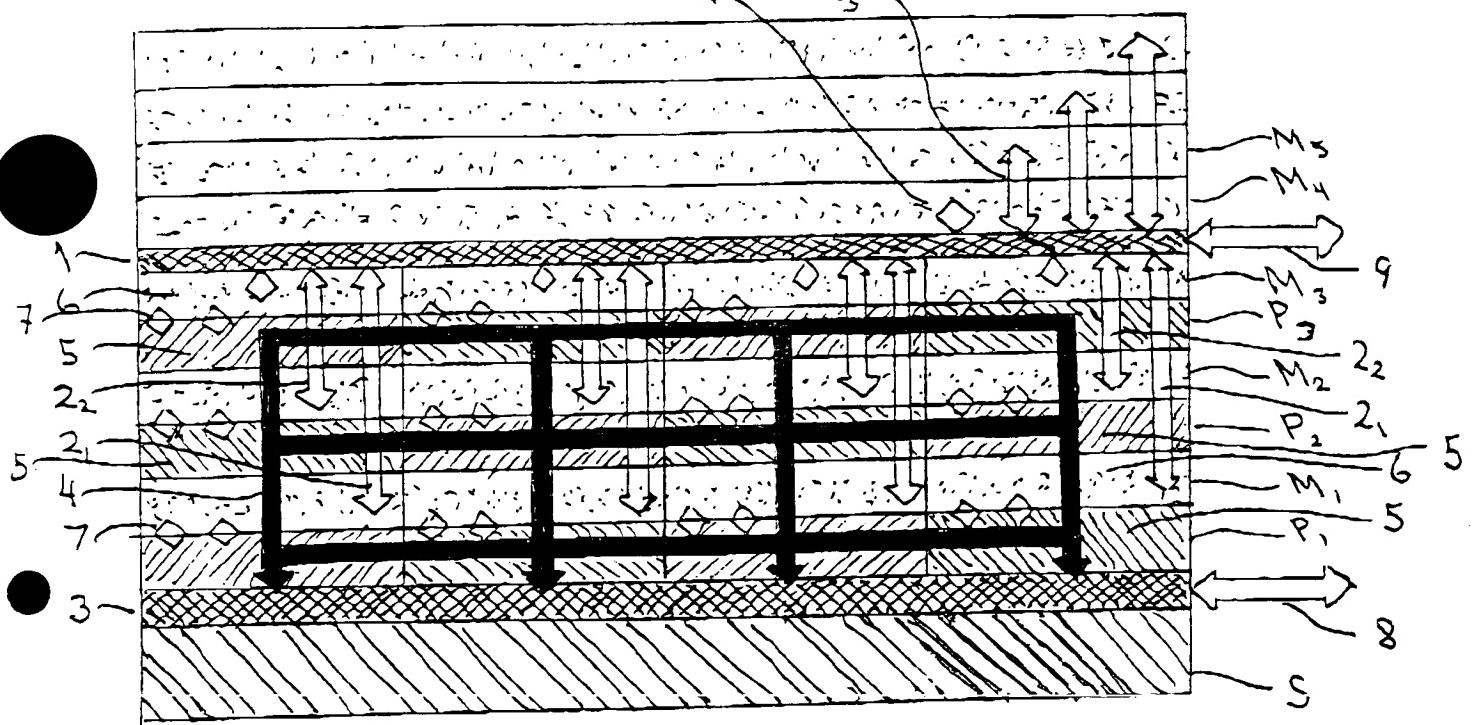


Fig. 5

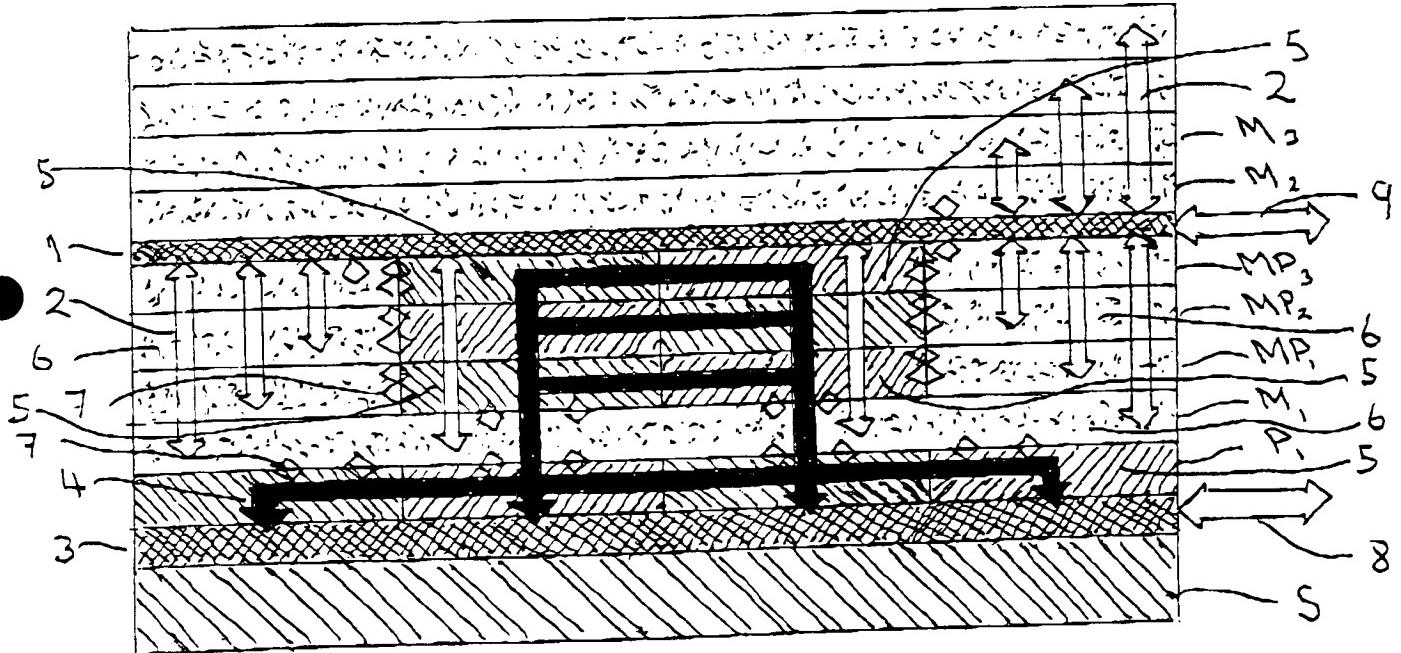
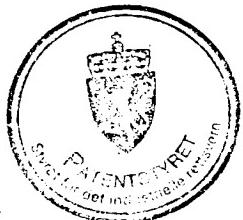


Fig. 6



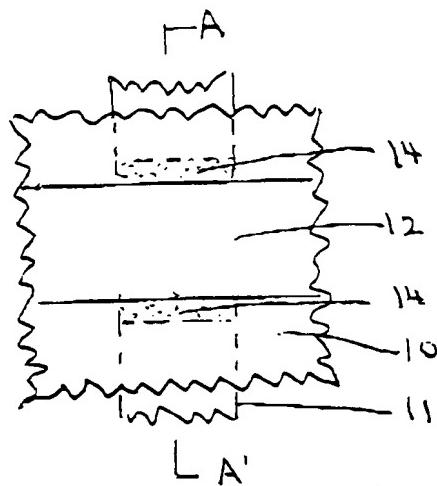


Fig. 7e

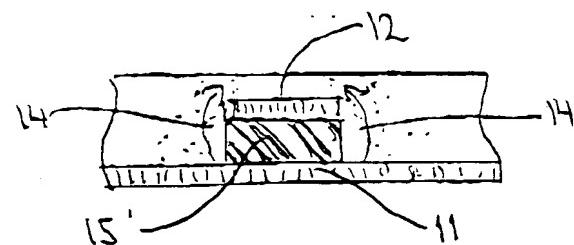


Fig. 7f

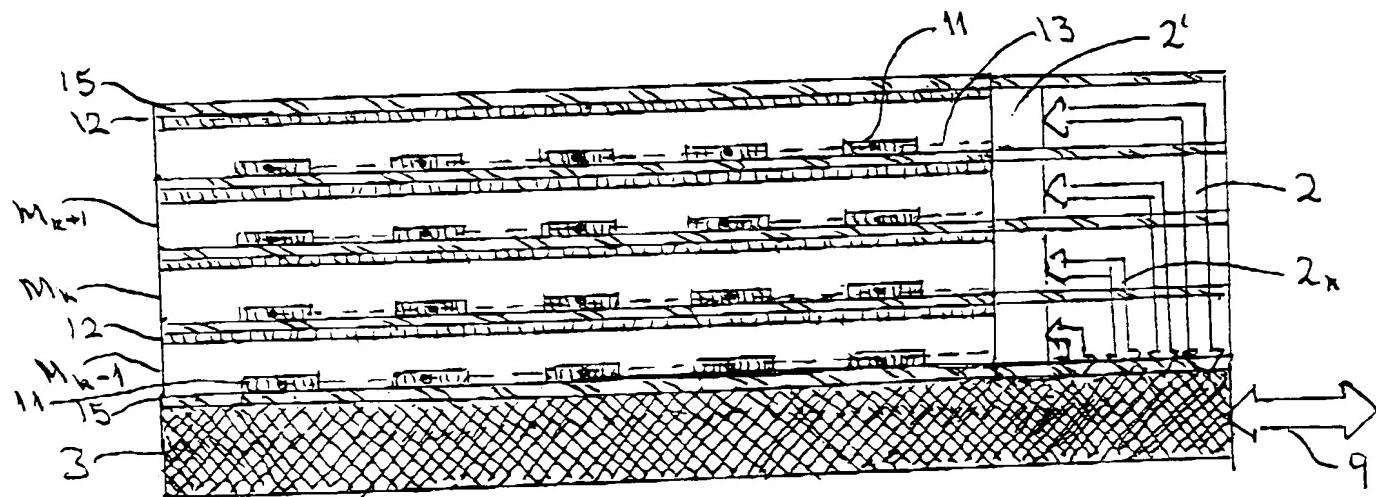


Fig. 7g

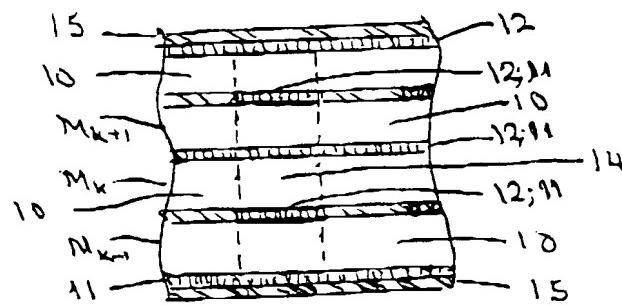


Fig. 7h



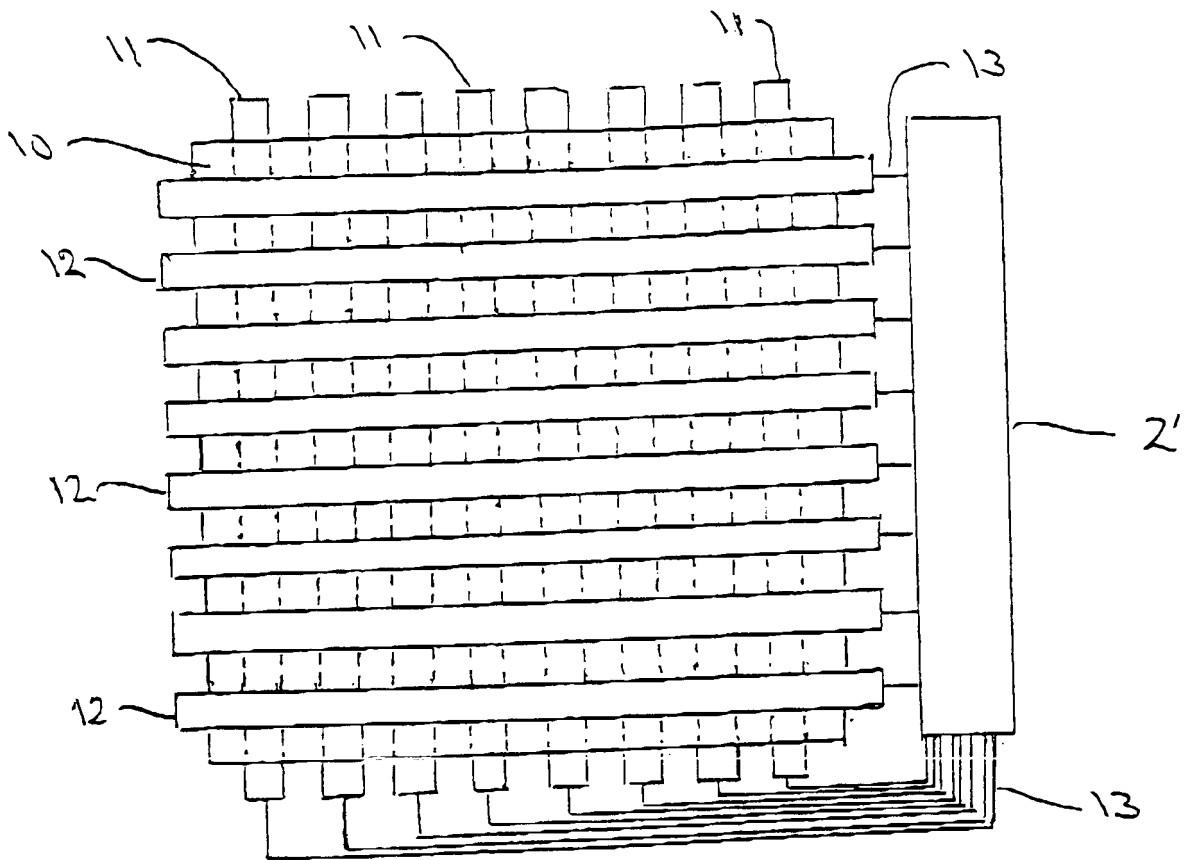


Fig. 7a

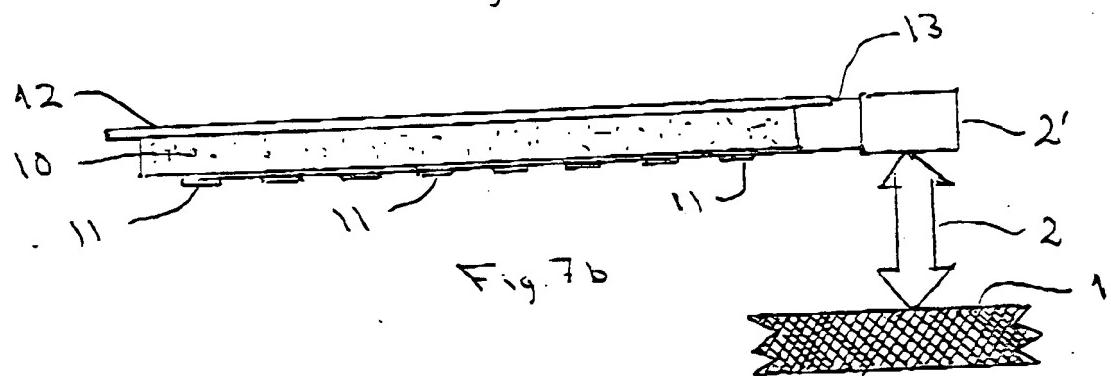


Fig. 7b

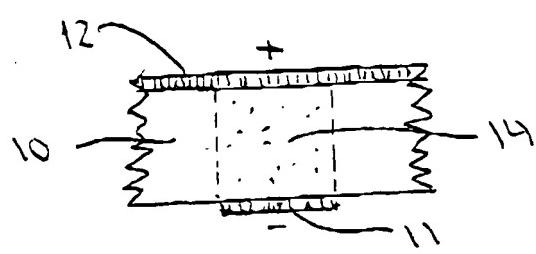


Fig. 7c

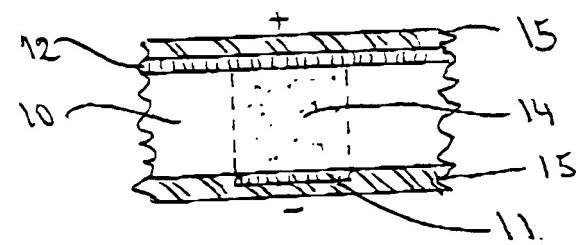


Fig. 7d



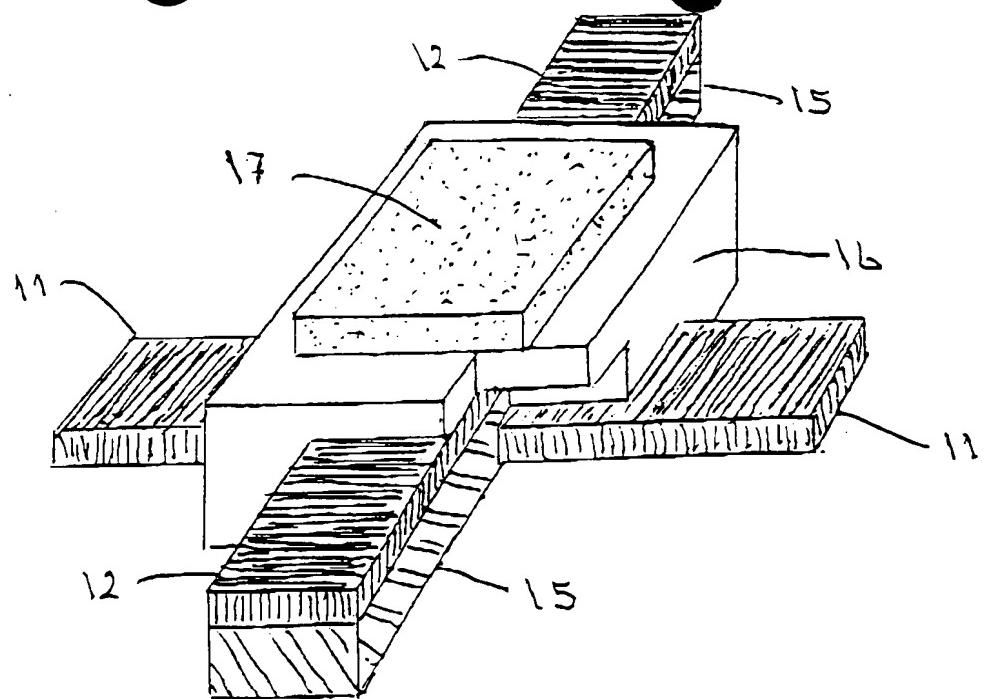


Fig. 8a

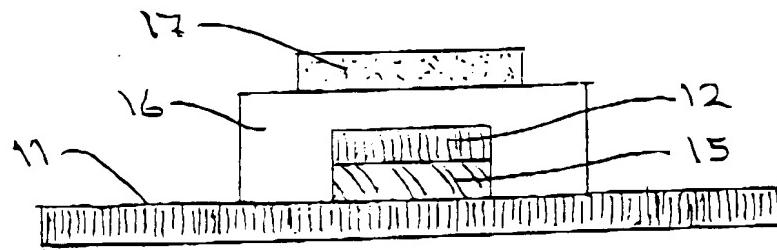


Fig. 8b

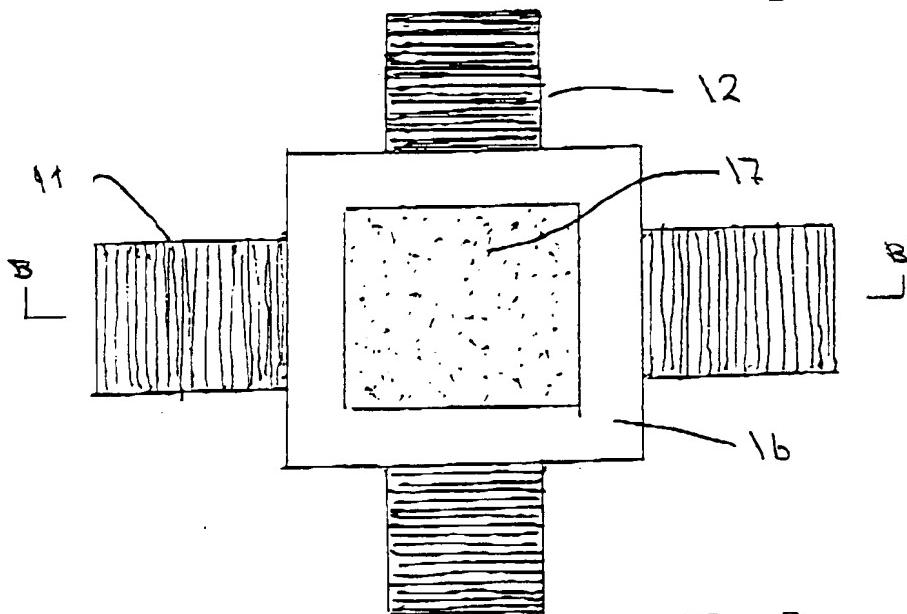


Fig. 8c



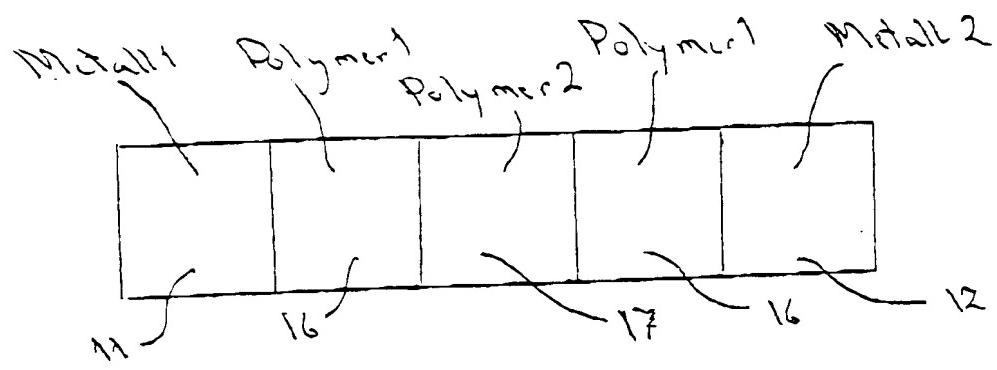


Fig. 9

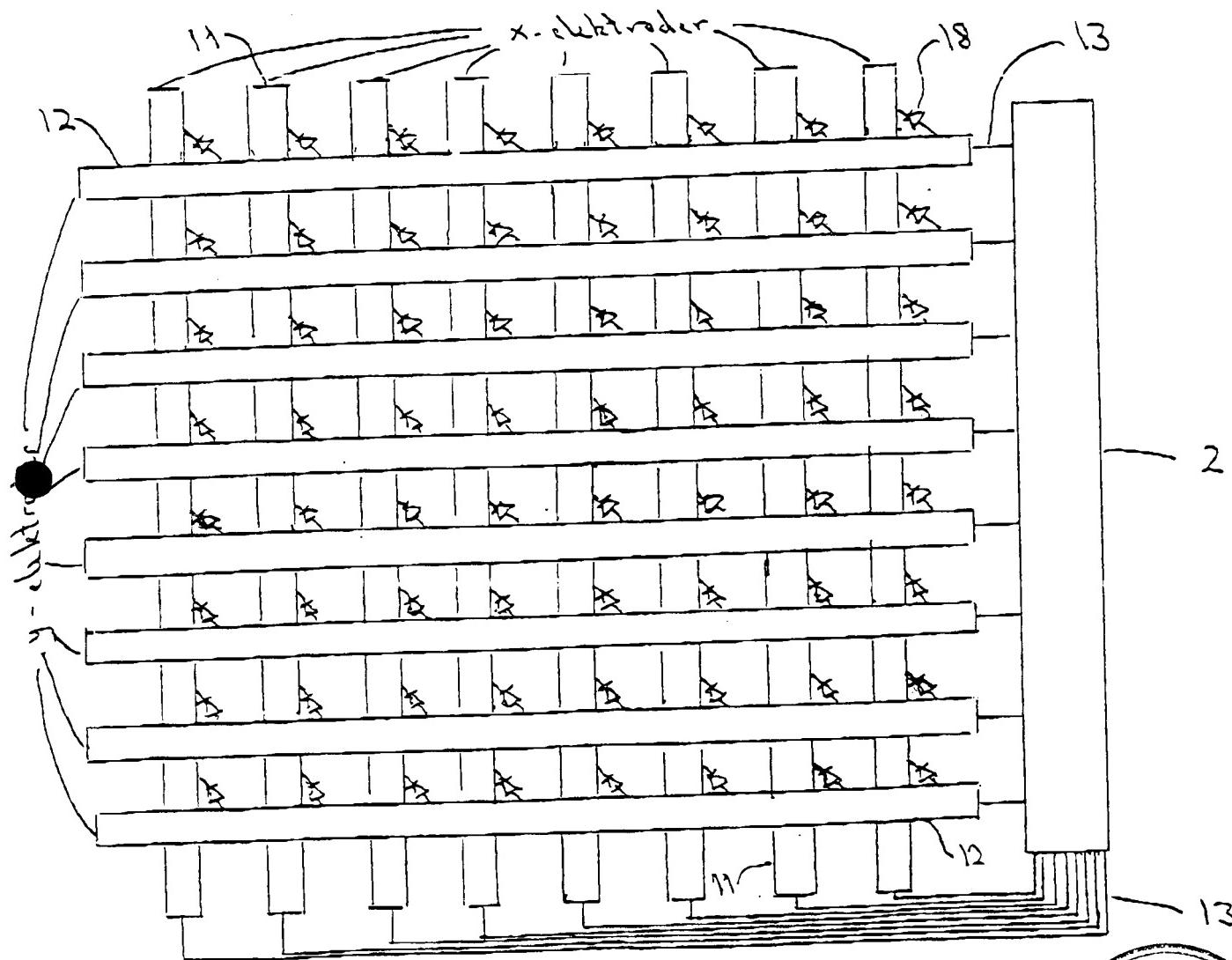


Fig. 10



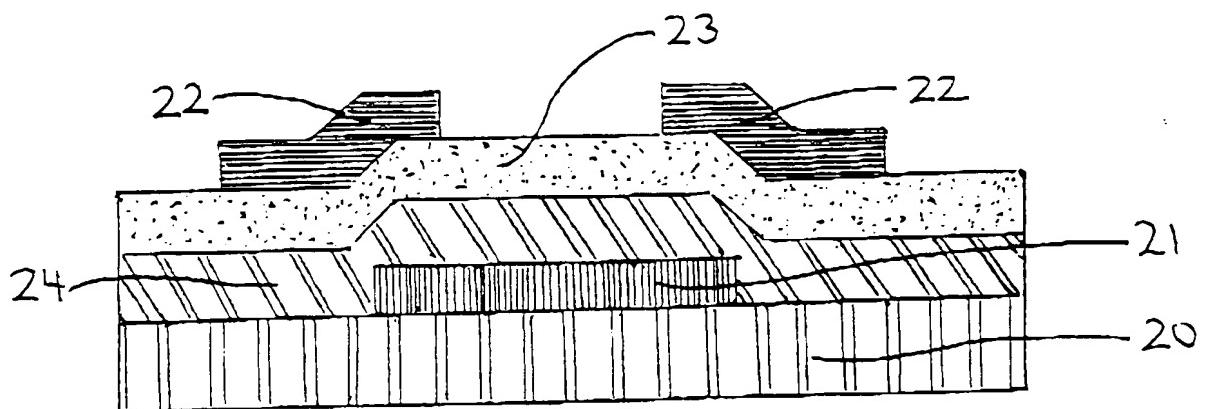


Fig. 11

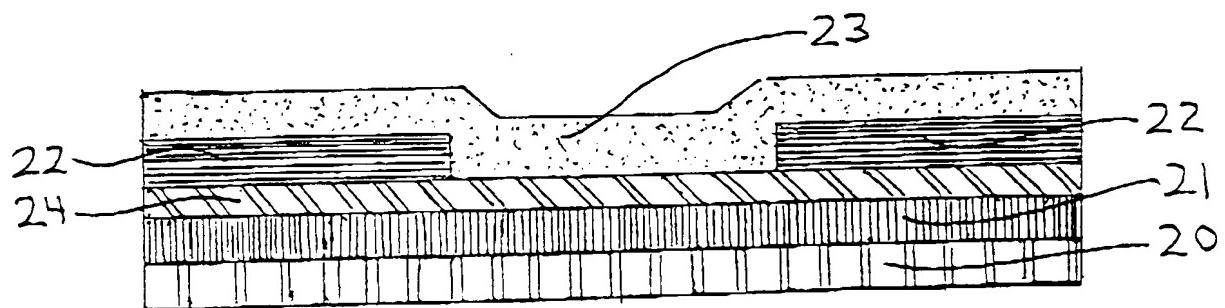


Fig. 12

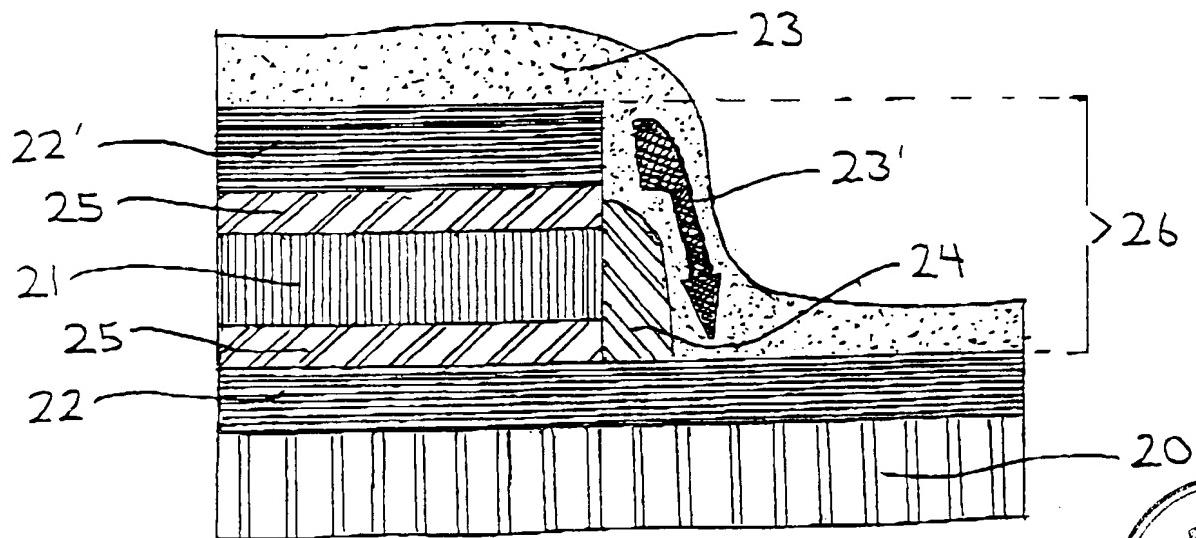
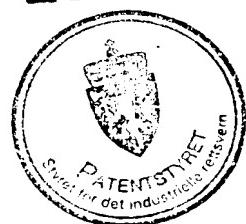


Fig. 13



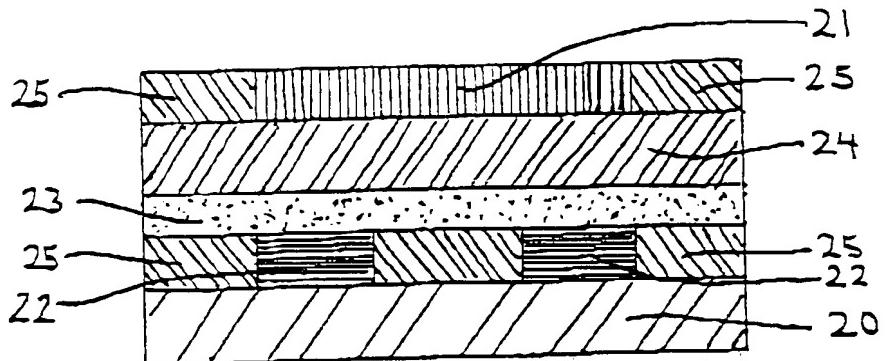


Fig. 14

Legend to figs. 15-21

- [white box] Isolating
- [diagonal lines box] Semiconducting
- [horizontal lines box] p-type semiconducting
- [vertical lines box] n-type semiconducting
- [cross-hatch box] Conducting, electrode

 Horizontal and vertical conducting path ( $\Delta$ , up;  $\nabla$ , down)

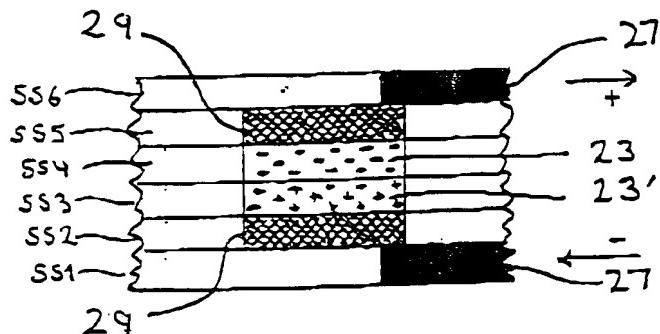
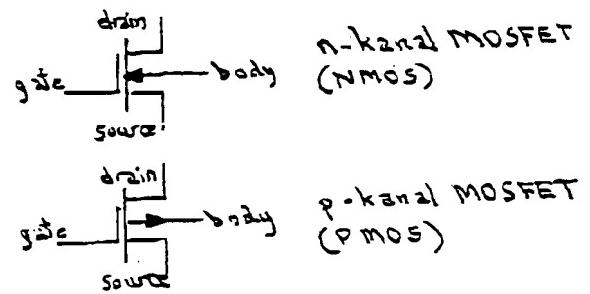


Fig. 15



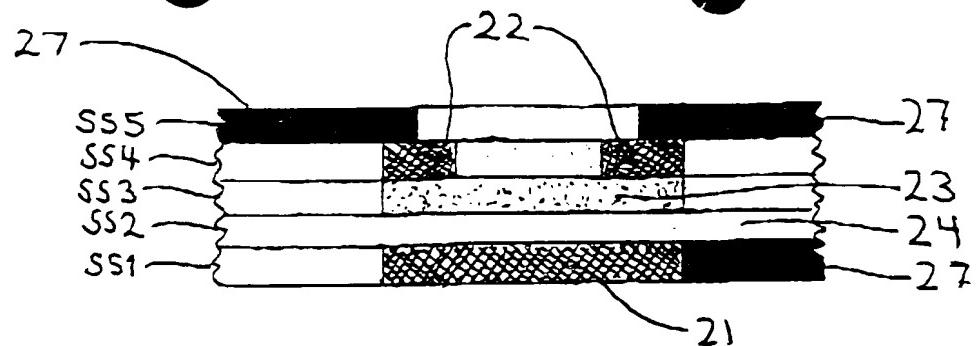


Fig. 16

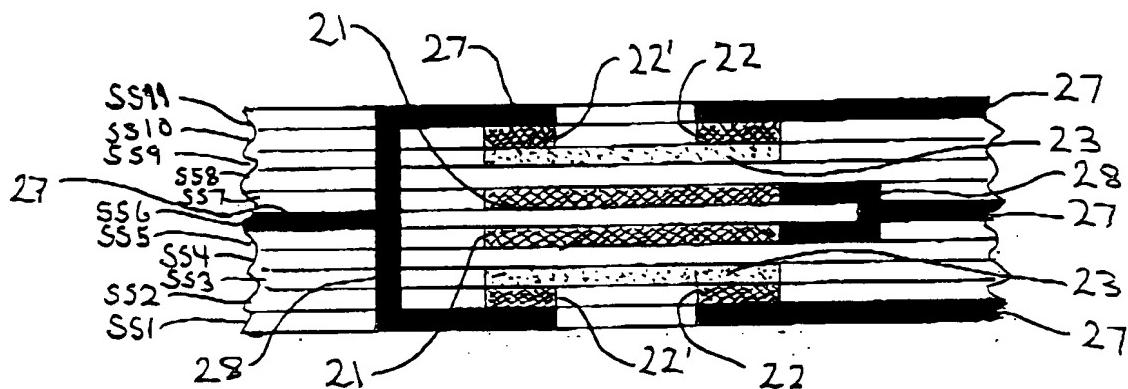


Fig. 17

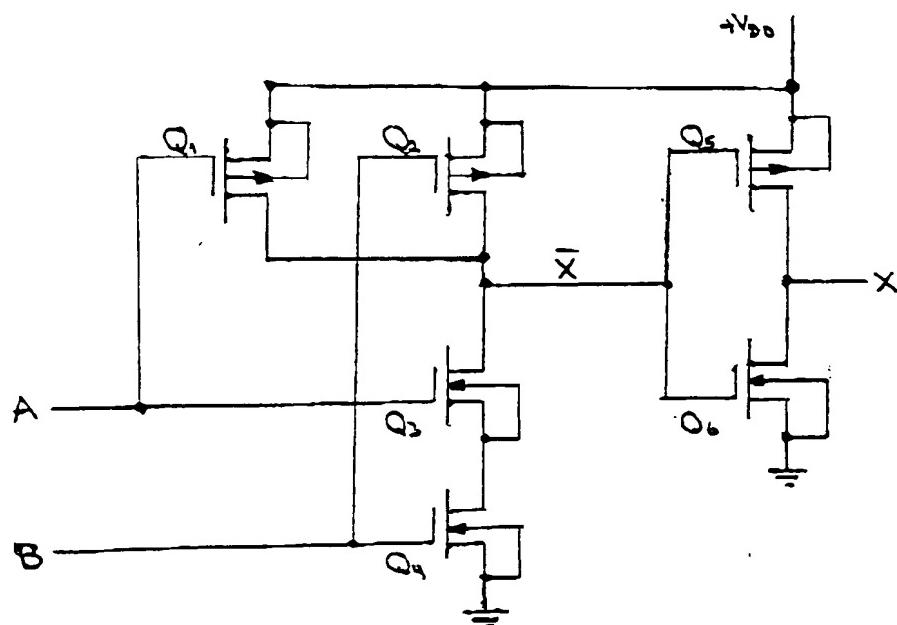
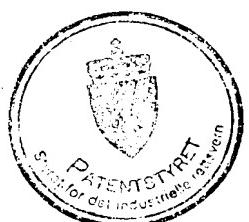


Fig. 18



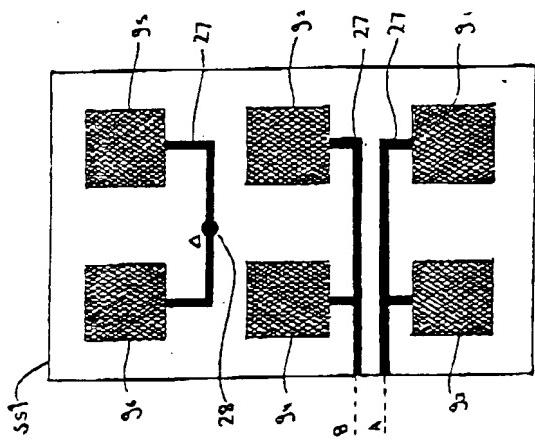
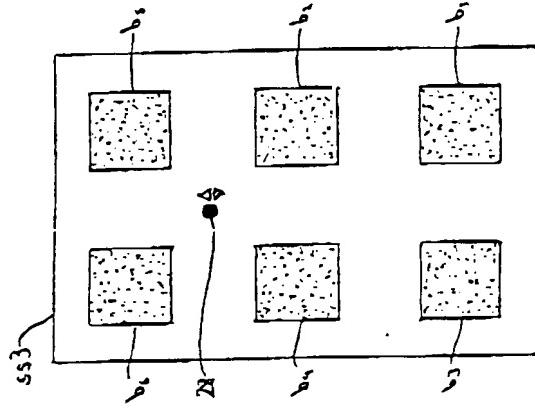


Fig. 19a



Pig. 196

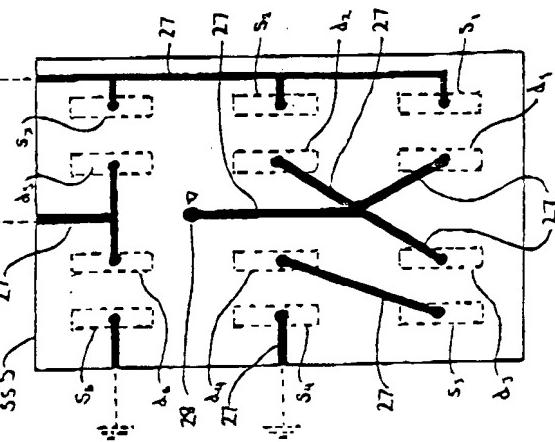


Fig. 19c

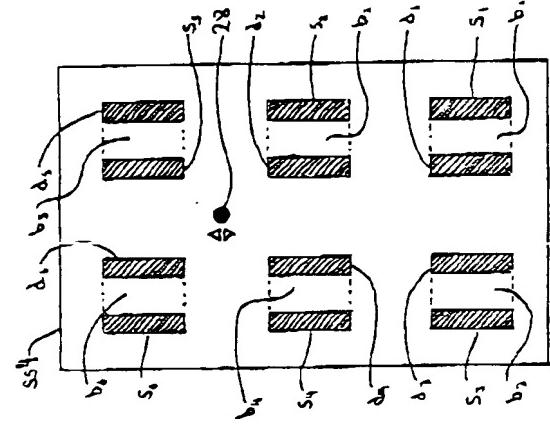


Fig. 19d



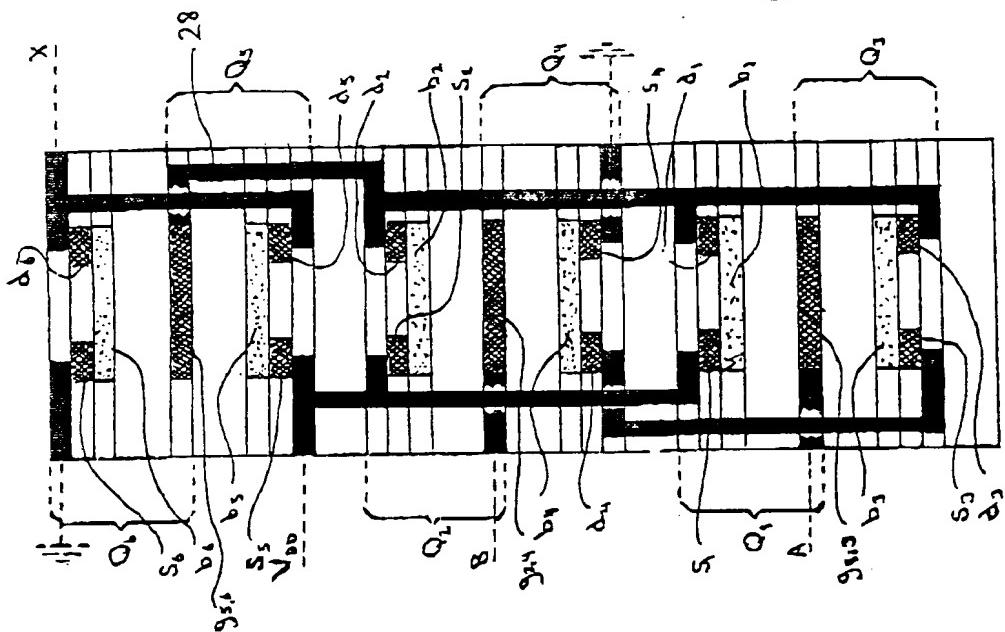


Fig. 21

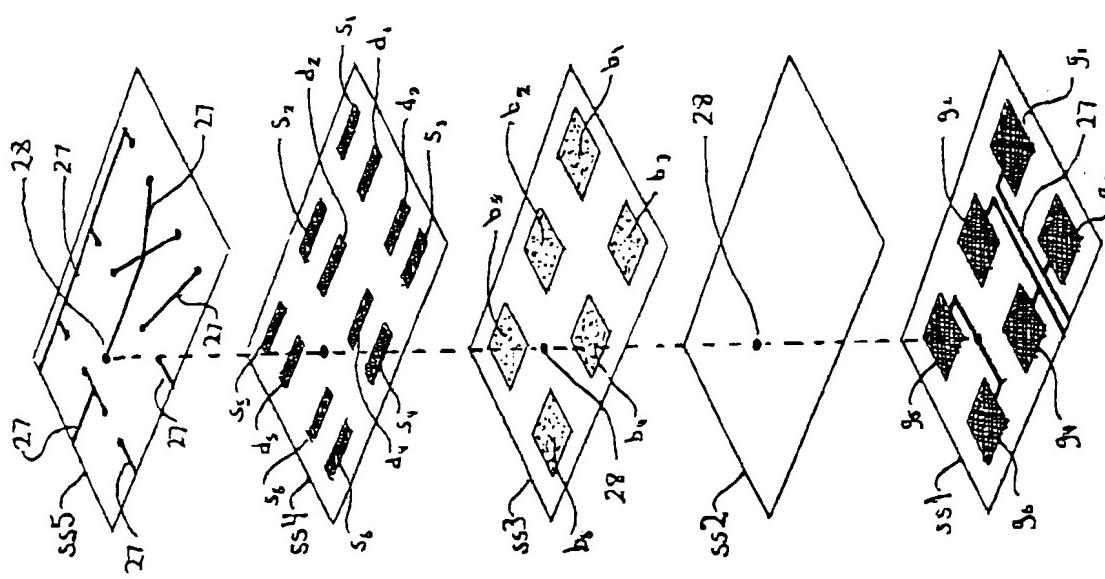


Fig. 20



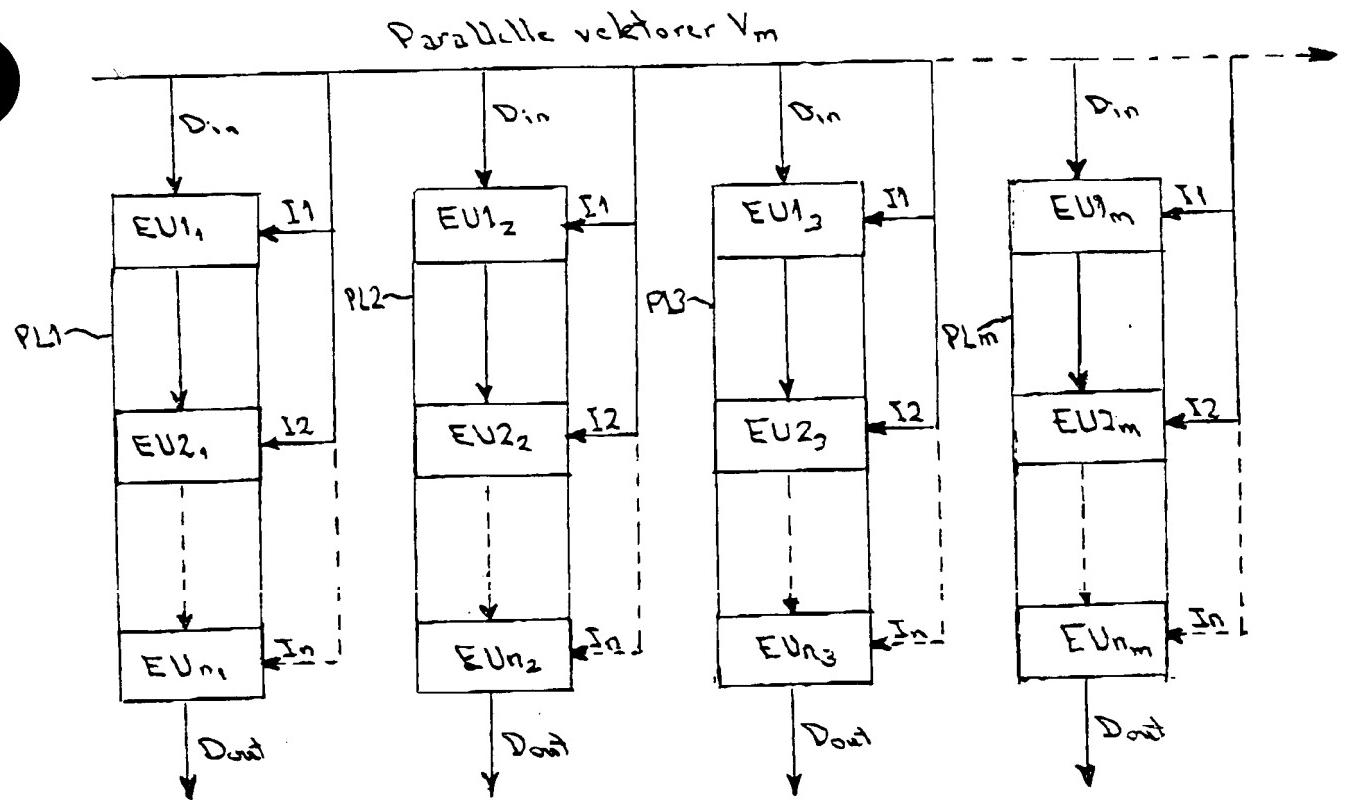


Fig. 22



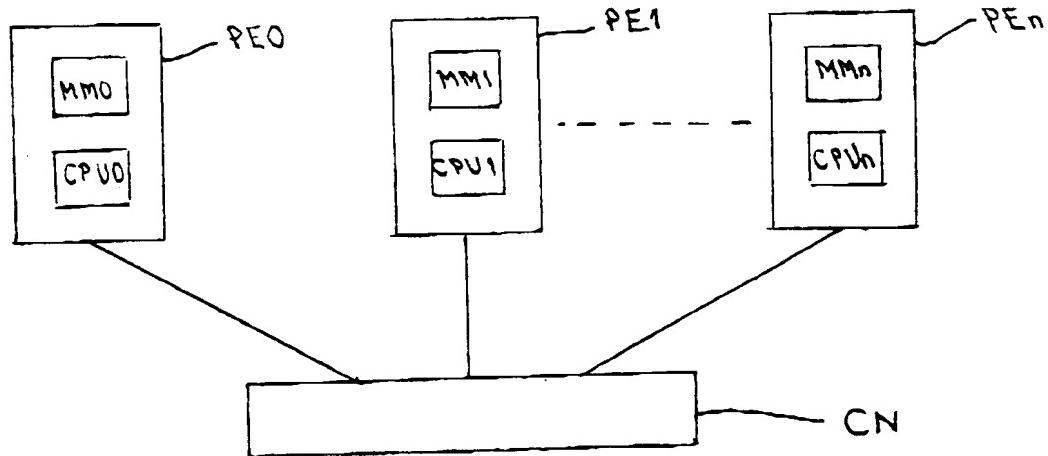


Fig. 23

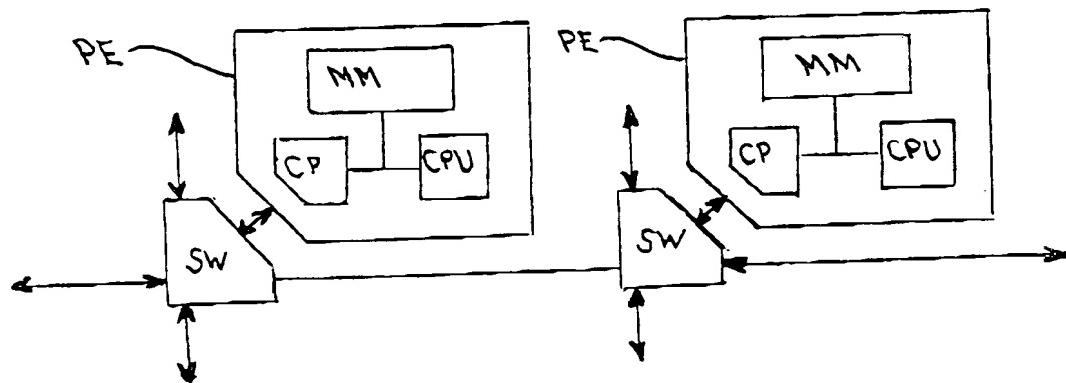


Fig. 24

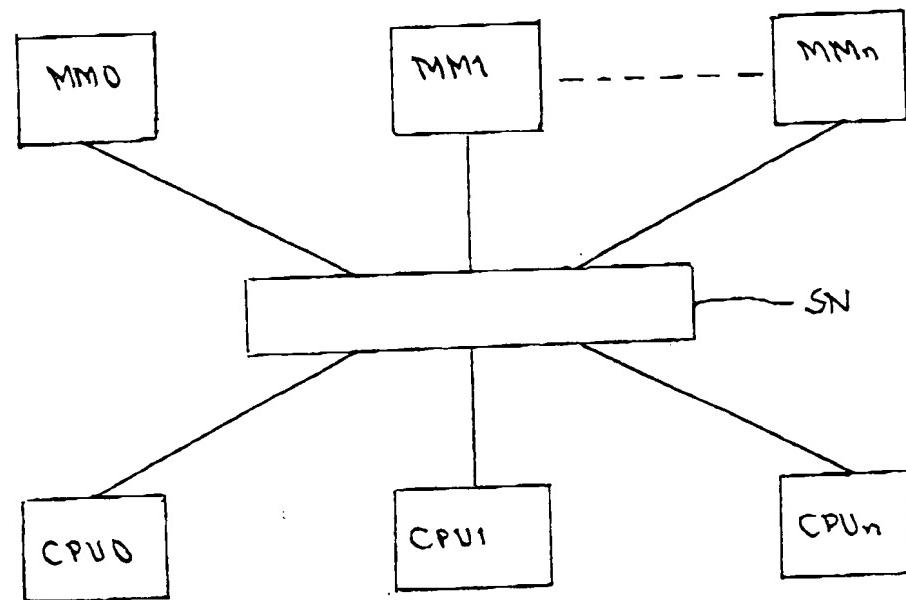
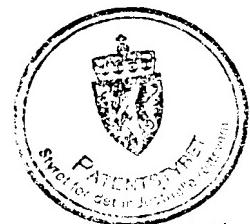


Fig. 25



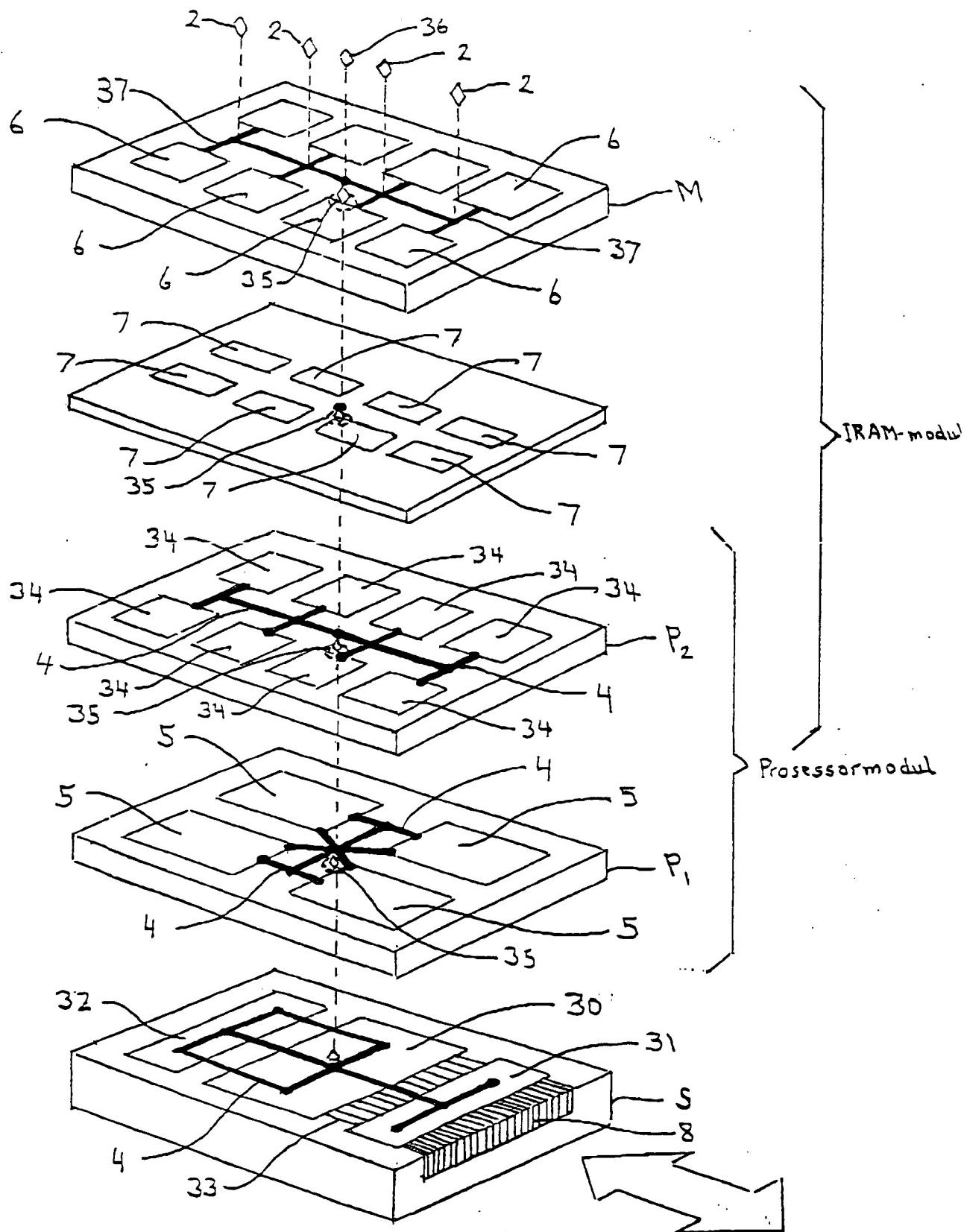


Fig. 26



